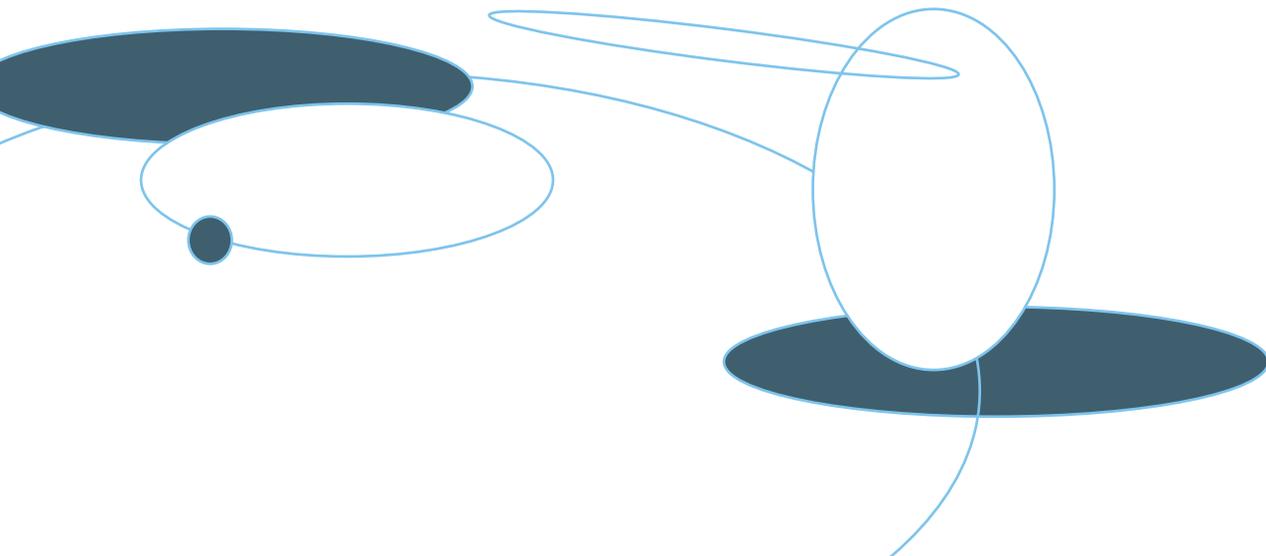
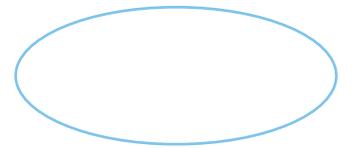
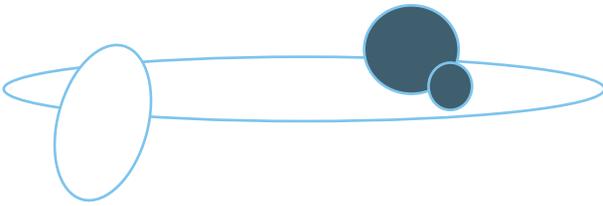
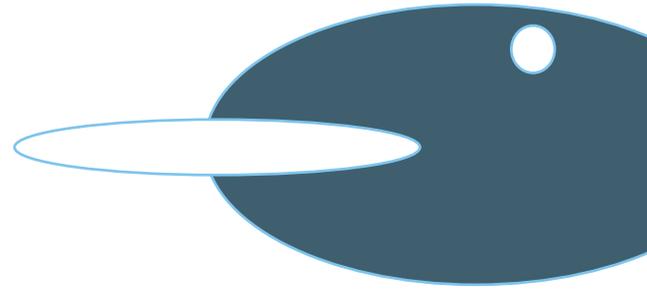
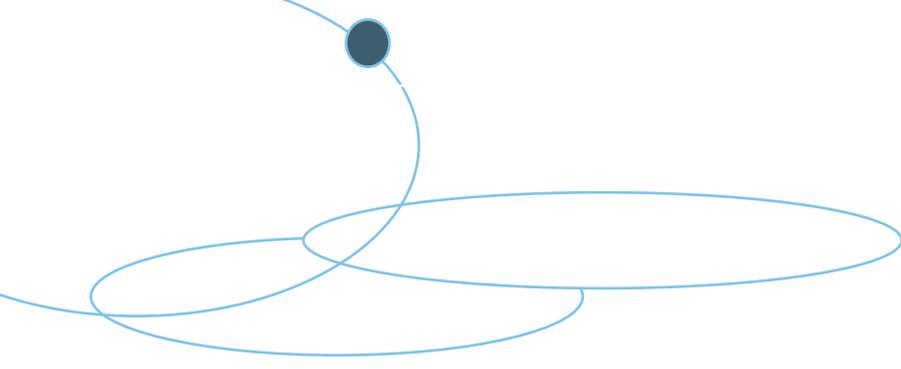




**Fraunhofer**  
CNT

FRAUNHOFER-CENTER NANOELEKTRONISCHE TECHNOLOGIEN

JAHRESBERICHT  
**2008**



# Jahresbericht **2008**

## annual report

Fraunhofer-Center  
Nanoelektronische Technologien

Königsbrücker Str. 180  
01099 Dresden, Germany

[www.cnt.fraunhofer.de](http://www.cnt.fraunhofer.de)



Prof. Dr. Peter Kücher  
Leiter der Einrichtung

### *Vorwort*

Seit nunmehr fast vier Jahren forschen die Mitarbeiter des Fraunhofer CNT in enger Zusammenarbeit mit den Wissenschaftlern unserer Partner. Durch die Nutzung von Synergien zwischen der Referenz von Fertigungslinien, basierend auf modernster 300mm Wafertechnologie, sowie das Fachwissen unserer Kollegen konnte eine Vielzahl von Projekten erfolgreich durchgeführt werden. Um Technologieentwicklungen und Verbesserungen schnell in neue Produktfunktionalitäten umsetzen zu können hat sich in den letzten Jahren die direkte Anbindung an die Fertigungslinien bewährt.

Das vorangegangene Jahr war gekennzeichnet durch wesentliche Umstrukturierungen der europäischen Halbleiteraktivitäten. AMD kündigte an, seinen Dresdner Standort als Teil einer neuen weltweiten Leading Edge Foundry für Halbleiterprodukte mit Namen GLOBALFOUNDRIES auszugründen. Durch dieses Joint Venture mit dem Technologieinvestor ATIC aus Abu Dhabi wird das mögliche Produktspektrum und die Entwicklung neuer Technologien am Standort gefördert. Parallel dazu werden künftig viele wichtige Veranstaltungen wie die ISS Europe oder die Semicon Europa in Dresden ihre Heimat finden. Dies wird eine breitere Positionierung unserer wissenschaftlichen Arbeiten ermöglichen sowie zu einer Stärkung des Forschungs- und Entwicklungsstandortes Dresden für die Mikro- und Nanoelektronik führen. Das Konzept des Fraunhofer-Center Nanoelektronische Technologien als Public Private Partnership mit direkter Anbindung an Industriepartner hat bei vielen nationalen wie internationalen Unternehmen und Forschungseinrichtungen ein besonderes Interesse geweckt und wird in den nächsten Jahren weiterentwickelt werden. Mit besonderer Sorge sehen wir sowohl die gesamtwirtschaftliche Entwicklung als auch die Auswirkungen der Finanzkrise, vor allem bei unserem Partner Qimonda, der in Dresden sowohl das Zentrum seiner weltweiten Technologieentwicklung als auch die „Leitfertigung“ etabliert hat.

Neben den Industriekooperationen lag unser Fokus auch auf dem Ausbau der Zusammenarbeit mit anderen Wissenschaftseinrichtungen, so z.B. durch einen Doktorandenaustausch mit CEA/Leti in Grenoble. Wir hoffen diese Möglichkeit der internationalen Zusammenarbeit, auch im Hinblick auf die Förderung junger Talente in Zukunft weiter ausbauen zu können. Im wissenschaftlichen Bereich lässt sich die Etablierung der Einrichtung unter anderem deutlich an der steigenden Zahl der Veröffentlichungen im vergangenen Jahr ablesen. In Zusammenarbeit mit den betreuenden Professoren der außer- und universitären Partneereinrichtungen, stellt die Vergabe des ersten Fraunhofer CNT Scientific Award eine Auszeichnung für die besondere Qualität der geleisteten Arbeit dar.

In diesem Jahresbericht möchten wir über die Geschäftszahlen unserer Einrichtung berichten, sowie Ihnen eine Auswahl der durchgeführten Arbeiten vorstellen um Ihnen einen Einblick in das breite Spektrum unserer Forschungen zu ermöglichen. Wir hoffen damit nicht nur Experten auf dem Gebiet sondern auch interessierte Leser und Besucher unserer Einrichtung anzusprechen.

Wir möchten allen Partnern, Förderern und Mitarbeitern, in besonderem Maße der TU Dresden, für die kooperative Zusammenarbeit danken, ohne die unsere erfolgreiche Entwicklung bisher nicht möglich gewesen wäre.

## *Preface*

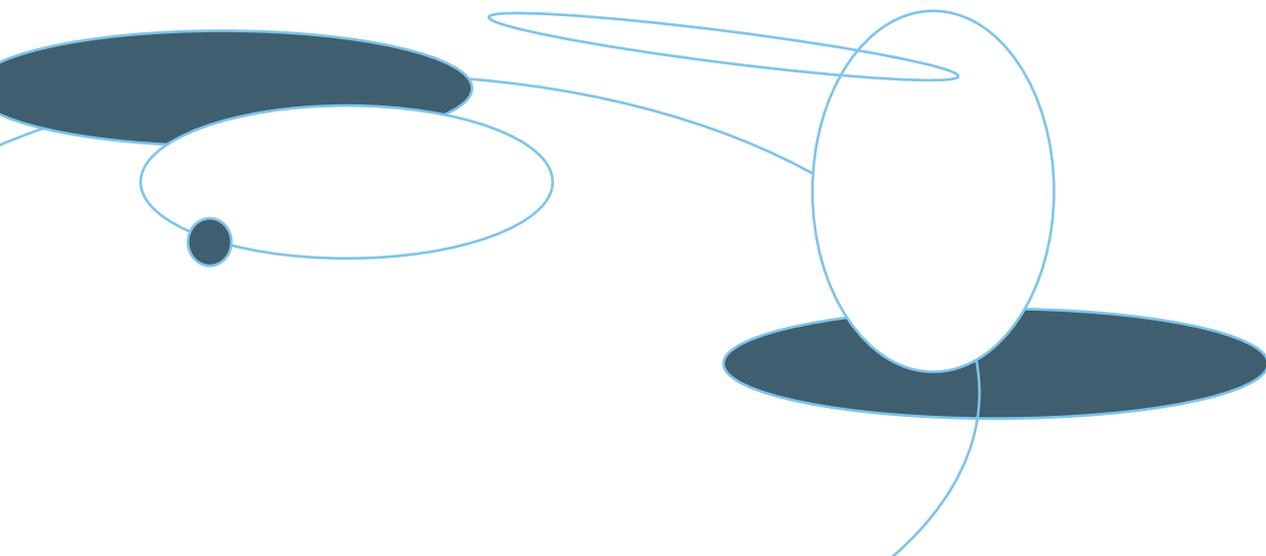
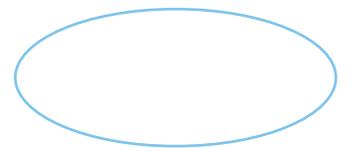
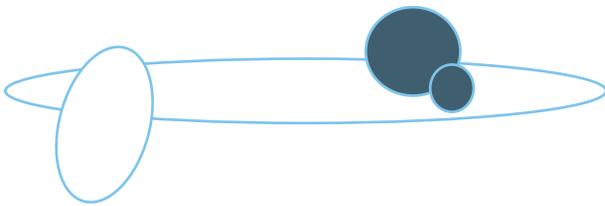
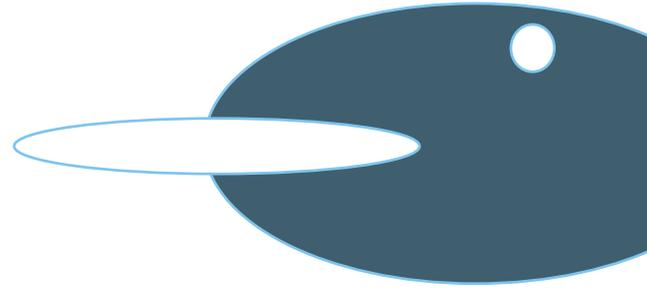
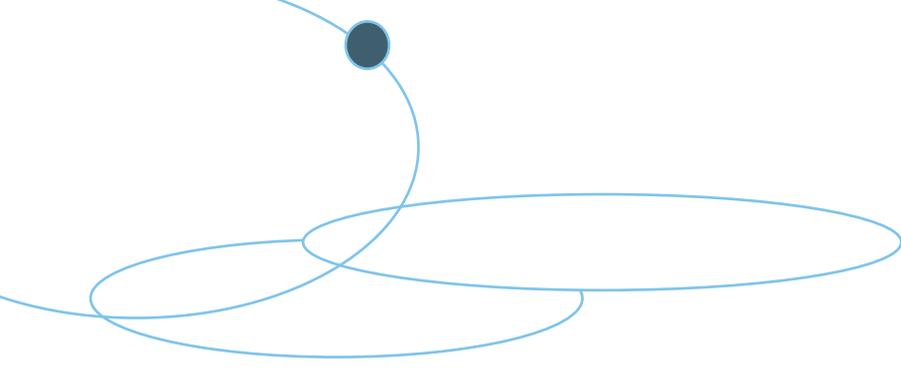
For nearly four years from now on, the employees of Fraunhofer CNT are doing research in close collaboration with scientists of our partners. Using synergies between the reference of the manufacturing lines, based on 300mm wafer technology, and the expertise of our colleagues, a majority of projects has been finalized successfully. Since the last years, the direct connection to the manufacturing lines demonstrated successfully the fast conversion of technology development and improvement into new product functionalities.

During last year the semiconductor activities in Europe have been reconstructed essentially. AMD announces the founding of the new company GLOBAL-FOUNDRIES out of the Dresden manufacturing location as part of a new worldwide leading edge foundry for Semiconductor products. The possible product spectrum and the development of new technologies will be supported by this joint venture with the technology investor ATIC from Abu Dhabi at these location. Parallel to this, several important events like the ISS Europe or the Semicon Europe will be hosted in Dresden. This will allow a diversified positioning for our research workings as well as a strengthening of the research and development location in the field of Nano- and Microelectronics. The concept of the Fraunhofer Center Nanoelectronic Technologies as public private partnership with direct connection to the industrial partners has sparked a lot of interests at national and international companies and research establishments. With special concern we are looking at the macroeconomic developments and the effects of the financial crisis, especially for our partner Qimonda with its worldwide center for technology development and manufacturing lines located in Dresden.

Besides the industrial cooperations we also focus on the expansion of our collaborations with other research institutions, one example is a scientific exchange program between the Fraunhofer CNT and CEA/Leti at Grenoble. With regard to the promotion of young talents, we hope to enlarge this collaboration within the future. The increase of publications during the last year show that our institution could be established at the scientific area very well. In cooperation with the serving professors of the non-academic and university research institutes of our partners, the first Fraunhofer CNT Scientific Award was assigned as honor for specific quality of the done research work.

Within this annual report we would like to report our financial figures and present an abstract of our working fields in order to give an overview of our wide spectrum of research activities. With this report hope to address not only experts but also interested readers and visitors of our institution.

We would like to thank all of our partners, funding authorities and employees, especially the Technical University of Dresden, for the cooperative collaboration.



## Inhaltsverzeichnis

### *Content*

Fraunhofer CNT im Profil <i>profile</i>	08
Kompetenzen & Ansprechpartner <i>competence areas &amp; contacts</i>	10
Fraunhofer CNT in Zahlen <i>facts &amp; figures</i>	12
Die Fraunhofer Gesellschaft <i>The Fraunhofer Gesellschaft</i>	14
Wissenschaftliche Projektberichte <i>scientific project reports</i>	17
Verschiedenes <i>miscellaneous</i>	37

## Fraunhofer CNT im Profil *profile*

### **Profil**

Das Fraunhofer-Center Nanoelektronische Technologien wurde im Mai 2005 in Dresden gegründet. In einem gemeinsamen Projekt der Fraunhofer Gesellschaft, Advanced Micro Devices (AMD) und der Qimonda AG hat man eine Einrichtung etabliert, welche zum Ziel hat eine Forschungslandschaft direkt an den Fertigungslinien der Halbleiterhersteller zu integrieren. Im Rahmen der Public Private Partnership werden teilprozessierte Wafer aus den Fertigungslinien der Industriepartner für die gemeinsame Forschung genutzt. Dadurch lassen sich sowohl Investitionen für die Linie minimieren, als auch ein schnellerer Zeitablauf ermöglichen. Mit einem Investitionsvolumen von 80 Mio € für die Grundausstattung der Einrichtung sowie weiteren 85 Mio € für Forschungsprojekte in den Jahren 2005 – 2011 bei einem Forschungsvolumen von 170 Mio €, fördert der Freistaat Sachsen gemeinsam mit dem Bundesministerium für Bildung und Forschung die Aktivitäten am Standort Dresden.

Das Fraunhofer CNT ist Mitglied im Fraunhofer Verbund Mikroelektronik V $\mu$ E. Durch die Zusammenarbeit 12 verschiedener Institute, welche alle im Forschungsbereich Mikroelektronik tätig sind, lassen sich gemeinsame Strategien verfolgen sowie beständig vom gegenseitigen Know-how profitieren.

Um den Austausch zwischen den Forschungs- und Wissenschaftseinrichtungen zu verstärken versuchen wir beständig unsere Zusammenarbeit mit internationalen Einrichtungen wie CEA/Leti oder der Oxford University auszubauen. Dabei blicken wir bereits auf erste erfolgreiche Doktorandenaustausche zwischen Grenoble und Dresden zurück.

Ende des Jahres 2008 waren knapp 50 Mitarbeiter an unserer Einrichtung beschäftigt. Die wissenschaftlichen Arbeiten lassen sich dabei in die folgenden Forschungsbereiche gliedern:

- Erforschung neuer Materialien und -kombinationen
- Materialcharakterisierung verschiedenster Proben sowie Entwicklung neuer Analyseverfahren an hochentwickelten Metrologieanlagen
- Verfahrensentwicklung um die Forschungserkenntnisse in die Fertigungsumgebung einzuführen
- Erstellung von Teststrukturen mittels Elektronenstrahl-lithographie
- Entwicklung nanoelektronischer Bauteile sowie deren Integrationsmöglichkeiten

### **Profile**

Founded in Mai 2005, the Fraunhofer-Center Nanoelectronic Technologies has been established as a jointed project between the Fraunhofer Gesellschaft, Advanced Micro Devices (AMD) and the Qimonda AG. In the frame of a public private partnership, the institution is aiming a research area which is directly connected to the production lines of the semiconductor manufacturers. Sub-processed wafers out of the production lines of the partners are used for common research. Because of this, investments can be minimized as well as faster timelines can be realized. With € 80 million for basic facilities and further € 85 million for running research projects for the years 2005-2011, by reaching a volume of € 170 million, the Fraunhofer CNT and its research activities in Dresden, is supported by the Free State of Saxony and the German Federal Ministry for Education and Research.

The Fraunhofer CNT is member of the Fraunhofer Group Microelectronics V $\mu$ E. Because of the collaboration of 12 Fraunhofer institutes, collective strategies can be tracked as well as product and technology know how can be shared under the roof of the Fraunhofer Gesellschaft.

To enforce the exchange between the research and science institution, we constantly try to enlarge the collaboration with international organizations like CEA/Leti or the Oxford University. Thereby we are able to review on a first successful exchange program of scientific staff of Dresden and Grenoble.

By the end of 2008 fewer than 50 employees worked at the Fraunhofer-Center. Thereby the scientific workings could be departed into the following focus areas:

- Exploration of new materials and combinations
- Characterization of different material probes, Development of new analytical methods via high developed metrology tools
- Process development to introduce the research findings into the production area
- Production of test structures via electron beam lithography
- Development of nanoelectronic devices and integration possibilities

### Projekte und europäische Forschungsbeteiligung

Im Jahr 2008 konnten die am Fraunhofer CNT durchgeführten Projekte aus der Startphase heraus vorangetrieben und ausgebaut werden. Dies zeigt sich besonders in der steigenden Mitarbeiterzahl und dem damit zu verzeichneten wachsenden know how in unserer Einrichtung.

Zur Erweiterung des Projektspektrums konnten im vergangenen Jahr erstmals zwei europäische Projekte, an welchem das Fraunhofer CNT als Partner beteiligt ist, gestartet werden. Neben dem Projekt GOSSAMER, das die Weiterentwicklung leistungsfähiger Speicherkonzepte für nichtflüchtige Speicher mit Strukturgrößen unter 30nm als Zielsetzung hat, ist das Fraunhofer CNT am Projekt MAGIC beteiligt. Ziel des dreijährigen EU-Projektes ist es, die maskenlose Lithographie für den produktiven Einsatz in der Volumenfertigung voranzutreiben. Die Elektronenstrahlithographie ist ein sehr flexibles Verfahren zur Herstellung beliebiger Strukturen mit Auflösungen von bis zu wenigen Nanometern. Zurzeit wird sie aufgrund der sequentiellen Belichtung und des limitierten Durchsatzes hauptsächlich in der Grundlagenforschung, Vorfeldentwicklung und zur Maskenproduktion für optische Lithographieverfahren eingesetzt. Die Unternehmen MAPPER und IMS Nanofabrication haben zwei E-Beam Litho Pilotanlagen entwickelt, die nach dem Multi-Beam-Prinzip funktionieren. Dabei wird der Elektronenstrahl in tausende von Teilstrahlen zerlegt, welche parallel Strukturen in einen Fotolack belichten können. Jeder Strahl kann individuell abgelenkt bzw. ausgeschaltet werden. Die Pilotanlagen sollen im Projektverlauf weiterentwickelt und das erfolgversprechende Konzept zu einem produktionstauglichen Prototyp fortentwickelt werden. Das Fraunhofer CNT wird an der Bereitstellung und Optimierung von Prozessen der Pilotanlage von IMS Nanofabrication mitarbeiten und am eigenen hochauflösenden E-Beam-Schreiber in Dresden Rückstrahleffekte (Proximity-Effekt) im Belichtungslack mittels Tests und Simulationen erforschen. Anhand von mathematischen Modellen versuchen die Wissenschaftler den dabei auftretenden Proximity-Effekt zu minimieren.

Die wirtschaftlichen Entwicklungen des vorangegangenen Jahres zeigen, dass die Lage für die Halbleiterhersteller immer schwieriger wird. Deswegen ist auch in Zukunft eine gute Zusammenarbeit mit Forschungseinrichtungen wichtig. Eine Optimierung der Prozesse und Produkte, sowie die Reduzierung von Entwicklungszeit und Fertigungskosten werden weiterhin entscheidend sein, um auf dem Nanoelektronikmarkt erfolgreich sein zu können.



### Projects and European research participation

In 2008 Fraunhofer CNT projects could be expedited and enlarged out of the initial phase. In particular this development is to be shown at the rising numbers of employees and therewith know how at the institution.

To enlarge the project spectrum of the institution, the participation in two European projects could be started last year for the first time. The project GOSSAMER is aiming the further development of effective memory concepts for non-volatile memories, including structure dimensions below of 30 nm. The second European project Fraunhofer CNT is participating is MAGIC. Focus of the three-year running research work, is to expedite the mask-less lithography for productive usage in volume manufacturing surroundings.

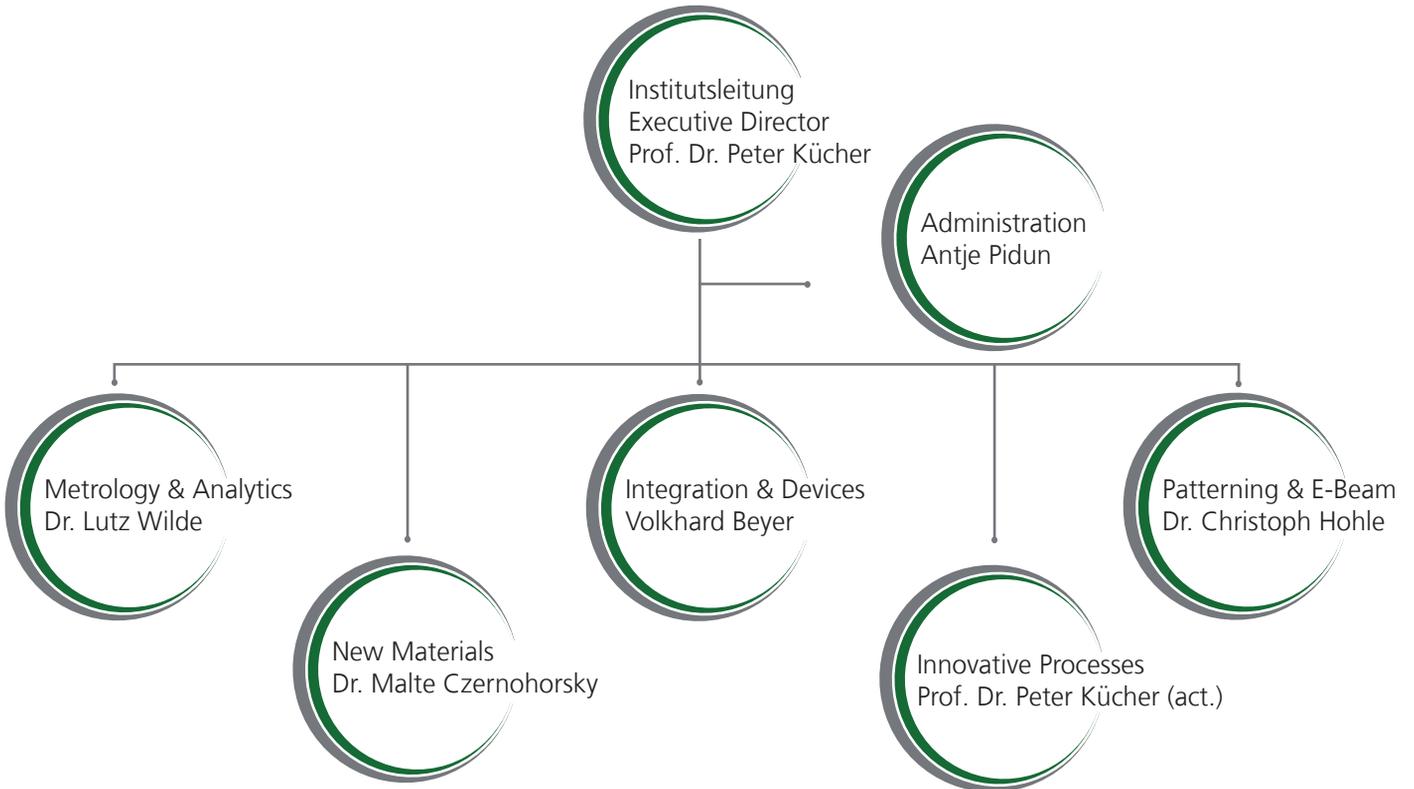
For producing any structures with high resolution down to few nanometers, the electron beam lithography displays a very flexible method.

Because of sequential illumination and limited capacity, electron beam lithography is mainly used for basic research, pre-developments and mask-production for optical lithography methods that time. The companies MAPPER and IMS Nanofabrication developed two E-Beam pilot-installations, which are working after the principle of multi-beam. The electron-beam is divided into thousands of parted beams, which are able to expose structures parallel into the resist. Thereby every single beam can be deflected or switched of. During the project the pilot tools should be developed further to advance the promising concept for a prototype which is suitable for production. The

process preparation and optimization of the IMS Nanofabrication tool is the major project function of the Fraunhofer CNT. Therefore, via tests and simulations return-beam effects at the resist will be tested at the high-resolution E-Beam Writer in Dresden. The scientists at the Fraunhofer CNT try to minimize the appearing proximity-effect with mathematical models.

Last year economic developments are demonstrating, that the situation for the semiconductor manufacturers is getting more and more difficult. For this reason it will be necessary for the future to build on good collaborations with research institutions. The Optimization of processes and products as well as the reduction of production times will stay at the market focus for a longer time to be successful on the market of Nanoelectronics.

## Kompetenzen & Ansprechpartner *competence areas & contacts*



Prof. Dr. Peter Kücher

peter.kuecher@cnt.fraunhofer.de  
phone: +49 (0) 351 2607 3000



Dr. Malte Czernohorsky

malte.czernohorsky@cnt.fraunhofer.de  
phone: +49 (0) 351 2607 3032



Antje Pidun

antje.pidun@cnt.fraunhofer.de  
phone: +49 (0) 351 2607 3006



Volkhard Beyer

volkhard.beyer@cnt.fraunhofer.de  
phone: +49 (0) 351 2607 3051



Dr. Lutz Wilde

lutz.wilde@cnt.fraunhofer.de  
phone: +49 (0) 351 2607 3020



Dr. Christoph Hohle

christoph.hohle@cnt.fraunhofer.de  
phone: +49 (0) 351 2607 3013



Charakterisierung der für die Herstellung von Halbleiterschaltkreisen benötigten Materialien. Fokusthemen sind dabei die Verteilung & Aktivität von Dotieratomen, Beschaffenheit von Grenz- und Oberflächen, Kristallisationsverhalten und Kontamination sowie die Weiterentwicklung der Messmethoden bzw. Einsatz neuer Analyseverfahren. Arbeitsfelder: Atomsondentomographie, TEM, (ToF-)SIMS, XRD/XRR, XPS, AFM, TXRF, Nano-Ramanspektroskopie

Material characterization for the manufacturing needs of semiconductor circuits. Main topics are distribution and activity of doping atoms, characterization of surfaces and interfaces, crystallization behavior, contamination and advancement of measuring methods or testing of new analytical procedures. Focus areas: Atom probe tomography, TEM, (ToF-)SIMS, XRD/XRR, XPS, AFM, TXRF, Nano-Raman spectroscopy



Entwicklung von Materialsystemen mit optimierten dielektrischen Eigenschaften (High-K) für Anwendungen in Bauelementen (Speicher, Transistoren). Hochkonformale Atomlagenabscheidung (ALD) von dielektrischen und leitfähigen Schichten auf 300mm Si-Wafern. Kupfermetallisierungen im Dual-Damascene-Verfahren für aktuelle und zukünftige BEoL-Technologiegenerationen. Arbeitsfelder: Atomlagenabscheidung, High-K-Dielektrika, elektrochemische Kupferabscheidung

Development of layer systems with optimized dielectric properties (high-k dielectrics) for semiconductor device applications (memory, transistor). Highly conformal atomic layer deposition (ALD) of dielectric and conductive layers on 300mm silicon wafers. Dual damascene copper metallization for standard and future BEoL technology generations. Focus areas: atomic layer deposition (ALD), high-k dielectrics, copper electro-plating



Entwicklung und Integration nanoelektronischer Bauelemente. Charakterisierung von Bauelementen auf Waferbasis mit Fokus auf Speicherbauelemente (Einzeltransistoren, Arrays, Demonstratoren) sowie die Entwicklung von Integrationskonzepten zur Einbindung neuer Materialien in Prozessabläufen zur Fertigung nanoskalärer Strukturen. Arbeitsfelder: Integrationskonzepte, elektr. Charakterisierung, Messprogrammentwicklung, Bauelementsimulation, Zuverlässigkeitstests

Development and Integration of nanoelectronic devices. Device characterization on wafer level including memory cell devices, arrays and demonstrators. Concept development for the integration of new materials in microelectronic processes on nanoscale structures. Focus areas: integration concepts, electrical characterization, development of monitoring programs, device simulation, reliability tests



Entwicklung fertigungstauglicher Prozesse und Konzepte. Forschungsschwerpunkte stellen dabei Verfahren zur Herstellung, Strukturierung und Optimierung von Materialien im atomaren Bereich dar, Untersuchungen zur Reproduzierbarkeit, Zukunftstauglichkeit und Kosteneffizienz, Validierung von Halbleiter-Fertigungsgeräten und die Vernetzung von Prozessierungsparametern mit neuen Analyseverfahren.

Development of manufacturing capable processes and concepts. Focus areas of work are methods for production, structuring and optimization of materials at atomic areas. Furthermore analysis of reproducibility, future viability, cost-efficiency, validation of semiconductor manufacturing tools and the cross linking of processing parameters with new analytical methods.



Herstellung von Resistmasken (bis 35nm Strukturgröße) durch Elektronenstrahlolithografie sowie Entwicklung zukünftiger E-Beam Technologiegenerationen. Bereitstellung von Kunden- und Anwendungs-spezifischen Designs und Layouts auf 200 und 300mm Wafern über modernes maskenloses Direktschreibverfahren. Arbeitsfelder: Resistcharakterisierung, Strukturierung, Simulation, DataPrep, Metrologie sowie die vollständige Integration in den Halbleiter-Fertigungsprozess

Fabrication of resist masks (down to 35nm resolution) via electron beam lithography and development of future E-Beam technology generations. Allocation of customized designs and layouts via modern maskless direct-write methods on 200mm and 300mm wafers. Focus areas: Resist characterization, structuring, simulation, DataPrep, metrology and entire integration into the manufacturing process of semiconductors

## Fraunhofer CNT in Zahlen *facts & figures*

### *Entwicklungen 2008*

Im vergangenen Jahr wurde das Forschungsbudget weiter aufgestockt. Neben den Projekten mit den Kooperationspartnern AMD und Qimonda wurde die Teilnahme an 2 europäischen Projekten Magic und Gossamer gestartet, welches ein breiteres Forschungsfeld für die Wissenschaftler des Fraunhofer CNT ermöglicht. Auf Grund der steigenden Arbeitsvolumen innerhalb der Projekte konnte in 2008 die Zahl von 34 auf 47 erhöht werden.

### *Developments 2008*

The research budget could be extended in the bygone year again. Additionally to the projects with the industrial partners AMD and Qimonda, two participations in the European projects Magic and Gossamer have been started. These project participations will allow an expanded area of research to the scientists of Fraunhofer CNT. Because of the rising volume of work within the projects, the number of employees could be increased from 34 to 47 in 2008.

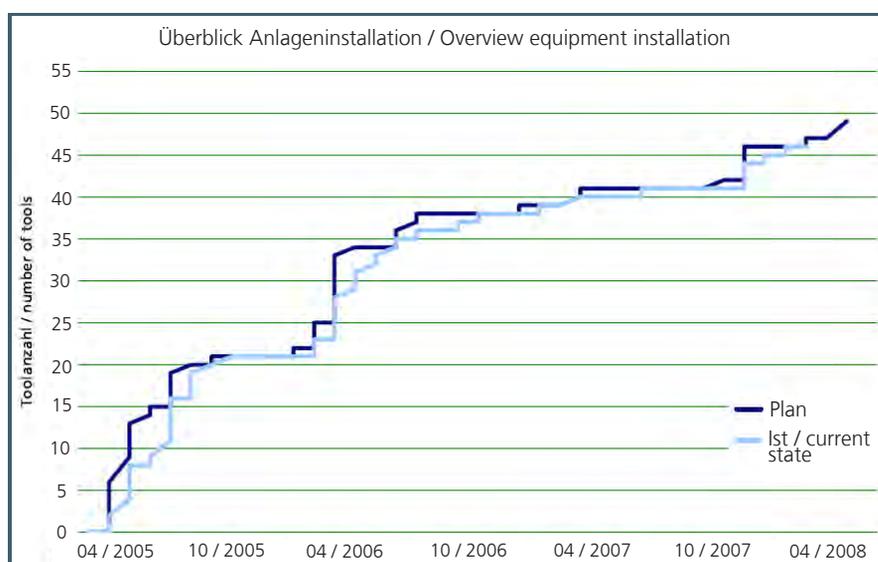
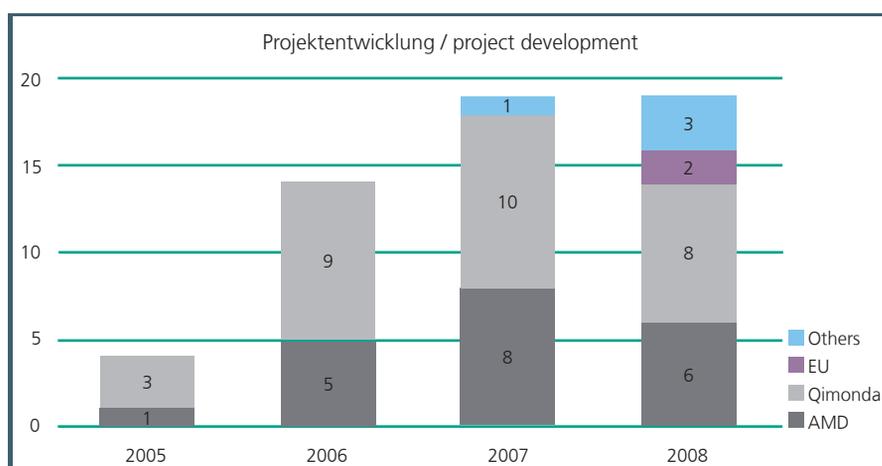
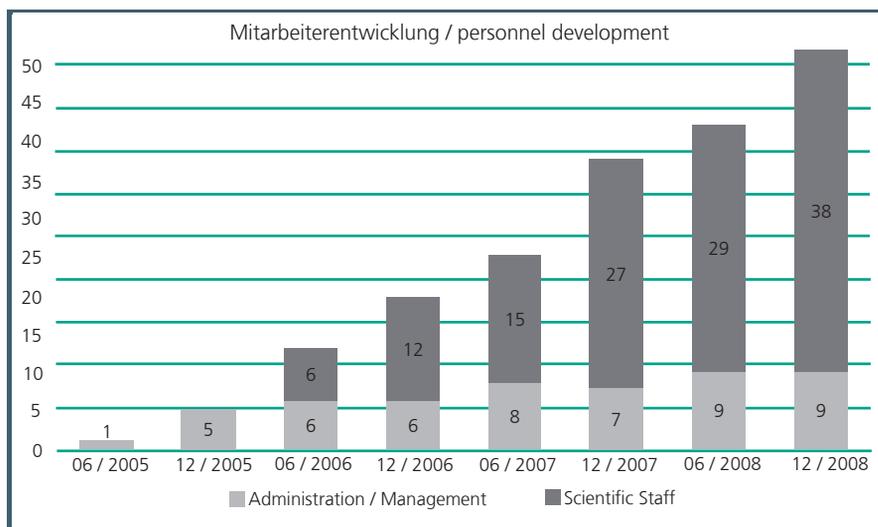
Aufwendungen und Erträge im Jahr 2008 Revenue and Expenses in the year 2008		
	in T €	in %
Jahresbudget 2008 2008 annual budget	13.895	
Aufwendungen Expenses		
Personalaufwendungen Personal Expenses	1.700	12%
Sachaufwendungen Nonpersonal Expenses	12.195	88%
Erträge Revenue		
FuE Erträge Industrie R&D Revenue industry	12.933	93%
AMD Projekte AMD projects	3.845	
Qimonda Projekte Qimonda projects	9.024	
Sonstige Erträge Industrie misc. Revenue industry	65	
EU-Projekte EU-projects	962	7%

### *Abschluss der Ausstattung mit Forschungsanlagen*

In 2008 konnte nach der Auswahl- und Installationsphase der Aufbau des Geräteparks in den Labor- und Reinräumen des Fraunhofer CNT beendet werden. Auf ca. 800m<sup>2</sup> Reinraum- und 130m<sup>2</sup> Laborfläche wurden über 40 Anlagen der verschiedensten Hersteller zu Forschungszwecken installiert. Der Anlagenpark reicht dabei von Abscheide- und Ätzanlagen für die Wärmebehandlung bei Hochtemperaturen bis zu Inspektions- und Analysegeräten zum Bestimmen von Defekten und Messen von Schichteigenschaften.

### *Research tool - layout finalization*

In 2008 the selection and installation phase of the Fraunhofer CNT cleanroom and laboratory tool park have been finalized. More than 40 tools of different suppliers have been installed on nearly 800m<sup>2</sup> cleanroom and 130m<sup>2</sup> laboratory area for research uses. The tools are divided into deposition and etching systems, equipment for heat treatment at high temperatures as well as inspecting and analysing tools for defect detection and measurements of material properties.



## Die Fraunhofer Gesellschaft *The Fraunhofer Gesellschaft*

### *Die Fraunhofer-Gesellschaft*

Forschen für die Praxis ist die zentrale Aufgabe der Fraunhofer-Gesellschaft. Die 1949 gegründete Forschungsorganisation betreibt anwendungsorientierte Forschung zum Nutzen der Wirtschaft und zum Vorteil der Gesellschaft. Vertragspartner und Auftraggeber sind Industrie- und Dienstleistungsunternehmen sowie die öffentliche Hand.

Die Fraunhofer-Gesellschaft betreibt in Deutschland derzeit mehr als 80 Forschungseinrichtungen, davon 57 Institute. 15 000 Mitarbeiterinnen und Mitarbeiter, überwiegend mit natur- oder ingenieurwissenschaftlicher Ausbildung, bearbeiten das jährliche Forschungsvolumen von 1,4 Milliarden Euro. Davon fallen 1,2 Milliarden Euro auf den Leistungsbereich Vertragsforschung. Zwei Drittel dieses Leistungsbereichs erwirtschaftet die Fraunhofer-Gesellschaft mit Aufträgen aus der Industrie und mit öffentlich finanzierten Forschungsprojekten. Nur ein Drittel wird von Bund und Ländern als Grundfinanzierung beigesteuert, damit die Institute Problemlösungen erarbeiten können, die erst in fünf oder zehn Jahren für Wirtschaft und Gesellschaft aktuell werden. Niederlassungen in Europa, in den USA und in Asien sorgen für Kontakt zu den wichtigsten gegenwärtigen und zukünftigen Wissenschafts- und Wirtschaftsräumen.

Mit ihrer klaren Ausrichtung auf die angewandte Forschung und ihrer Fokussierung auf zukunftsrelevante Schlüsseltechnologien spielt die Fraunhofer-Gesellschaft eine zentrale Rolle im Innovationsprozess Deutschlands und Europas. Die Wirkung der angewandten Forschung geht über den direkten Nutzen für die Kunden hinaus: Mit ihrer Forschungs- und Entwicklungsarbeit tragen die Fraunhofer-Institute zur Wettbewerbsfähigkeit der Region, Deutschlands und Europas bei. Sie fördern Innovationen, stärken die technologische Leistungsfähigkeit, verbessern die Akzeptanz moderner Technik und sorgen für Aus- und Weiterbildung des dringend benötigten wissenschaftlich-technischen Nachwuchses.

Ihren Mitarbeiterinnen und Mitarbeitern bietet die Fraunhofer-Gesellschaft die Möglichkeit zur fachlichen und persönlichen Entwicklung für anspruchsvolle Positionen in ihren Instituten, an Hochschulen, in Wirtschaft und Gesellschaft. Studentinnen und Studenten eröffnen sich an Fraunhofer-Instituten wegen der praxisnahen Ausbildung und Erfahrung hervorragende Einstiegs- und Entwicklungschancen in Unternehmen.

Namensgeber der als gemeinnützig anerkannten Fraunhofer-Gesellschaft ist der Münchner Gelehrte Joseph von Fraunhofer (1787–1826), der als Forscher, Erfinder und Unternehmer gleichermaßen erfolgreich war.

### *The Fraunhofer-Gesellschaft*

Research of practical utility lies at the heart of all activities pursued by the Fraunhofer-Gesellschaft. Founded in 1949, the research organization undertakes applied research that drives economic development and serves the wider benefit of society. Its services are solicited by customers and contractual partners in industry, the service sector and public administration.

At present, the Fraunhofer-Gesellschaft maintains more than 80 research units in Germany, including 57 Fraunhofer Institutes. The majority of the 15,000 staff are qualified scientists and engineers, who work with an annual research budget of €1.4 billion. Of this sum, more than €1.2 billion is generated through contract research. Two thirds of the Fraunhofer-Gesellschaft's contract research revenue is derived from contracts with industry and from publicly financed research projects. Only one third is contributed by the German federal and Länder governments in the form of base funding, enabling the institutes to work ahead on solutions to problems that will not become acutely relevant to industry and society until five or ten years from now. Affiliated research centers and representative offices in Europe, the USA and Asia provide contact with the regions of greatest importance to present and future scientific progress and economic development.

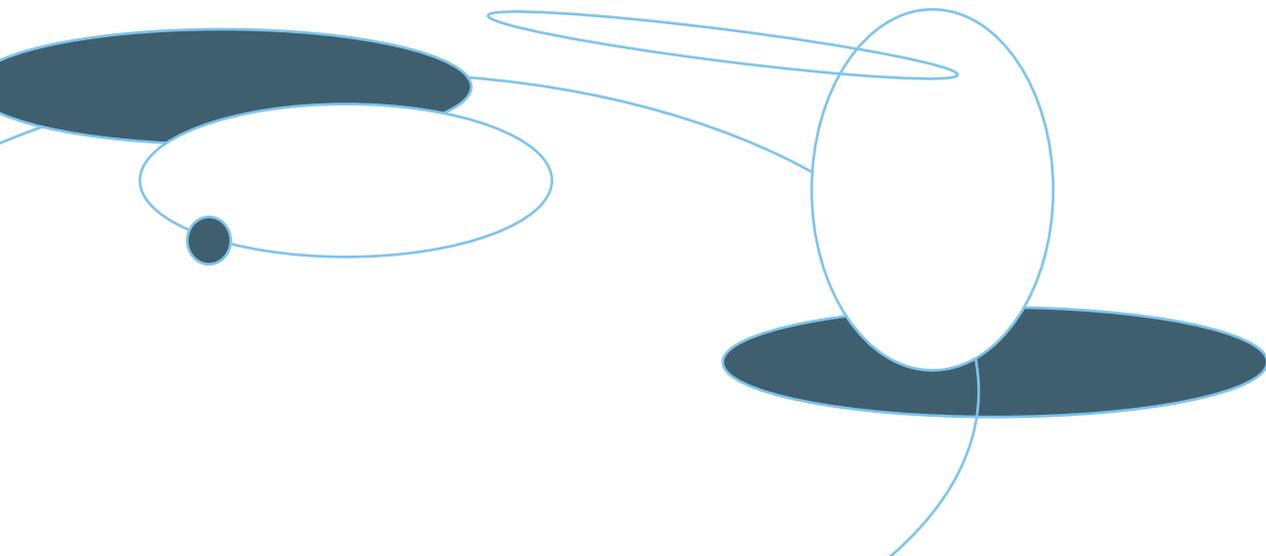
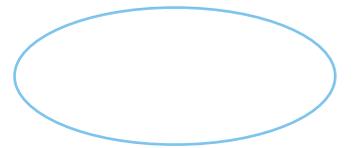
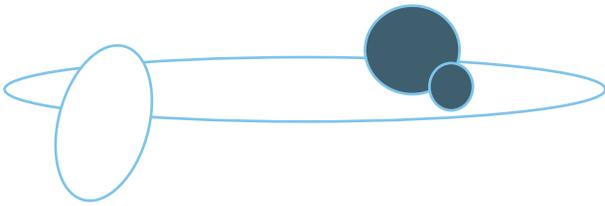
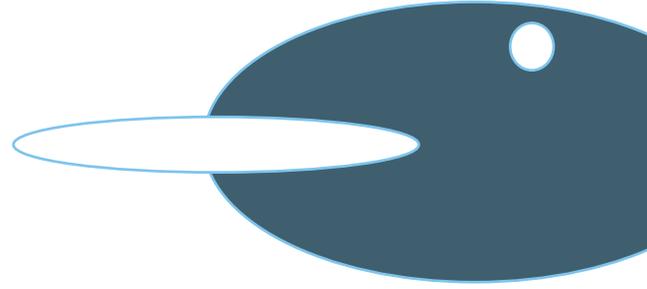
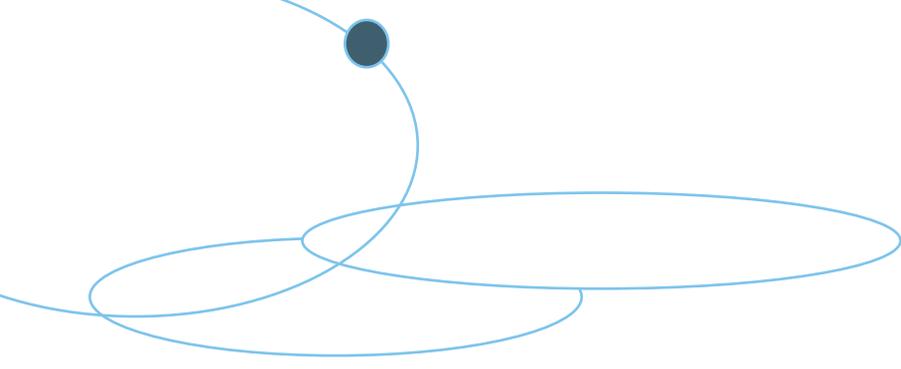
With its clearly defined mission of application-oriented research and its focus on key technologies of relevance to the future, the Fraunhofer-Gesellschaft plays a prominent role in the German and European innovation process. Applied research has a knock-on effect that extends beyond the direct benefits perceived by the customer: Through their research and development work, the Fraunhofer Institutes help to reinforce the competitive strength of the economy in their local region, and throughout Germany and Europe. They do so by promoting innovation, strengthening the technological base, improving the acceptance of new technologies, and helping to train the urgently needed future generation of scientists and engineers.

As an employer, the Fraunhofer-Gesellschaft offers its staff the opportunity to develop the professional and personal skills that will allow them to take up positions of responsibility within their institute, at universities, in industry and in society. Students who choose to work on projects at the Fraunhofer Institutes have excellent prospects of starting and developing a career in industry by virtue of the practical training and experience they have acquired.

The Fraunhofer-Gesellschaft is a recognized non-profit organization that takes its name from Joseph von Fraunhofer (1787–1826), the illustrious Munich researcher, inventor and entrepreneur.



**Fraunhofer**  
60 Jahre im Auftrag der Zukunft.



## Wissenschaftliche Projektberichte

### *scientific project reports*

Heike	Untersuchungen zum High-k Metal Gate Stack im 32nm Technologiebereich und darunter <i>High-k metal Gate Stack analysis at the field of 32nm technology</i>	18
Kuwano	Kleinster spezifischer Kupfer Widerstand in NANO-Leitbahnen <i>Lowest specific cooper resistance at NANO conductor lines</i>	20
Carat	Einsatz von epitaktischen Si:C Schichten zur mechanischen Verspannung und Leistungssteigerung von NMOS Transistoren <i>Dedication of epitaxial Si:C layers for mechanical stress and increase of the performance of NMOS transistors</i>	22
Nanoanalytik	Entwicklung analytischer Verfahren zur Materialcharakterisierung bei Strukturgrößen unterhalb 40 nm <i>Development of analytical methods for material characterization below structure sizes of 40 nm</i>	24
Sohar / Merlin	ALD Abscheidetechniken für neue Materialien und wenige Atomlagen dicke Schichtsysteme <i>Techniques of atomic layer deposition for new materials and layer systems</i>	26
Adler	Verfahrensentwicklung zum Plasmaätzen von Strukturen mit großem Aspektverhältnis für DRAM-Speicherbauelemente bei kritischen Strukturbreiten <50nm <i>Development of Tools and Processes for Si Patterning of future DRAM- Circuits with high Aspect Ratio at critical dimensions &lt; 50 nm</i>	28
Simkon	Simulationskonzept für 32 nm CMOS Technologien <i>32 nm CMOS technologies simulation concepts</i>	30
Gossamer	FLASH Speicher für sub 30nm Technologie <i>Gigascale Oriented Solid State fIAsh Memory for EuRope</i>	32

## Projekt - Heike

### Untersuchungen zum High-k Metal Gate Stack im 32nm Technologiebereich und darunter *high-k metal Gate Stack analysis at the field of 32nm technology*

#### Atomlagenabscheidung für high-k Materialien

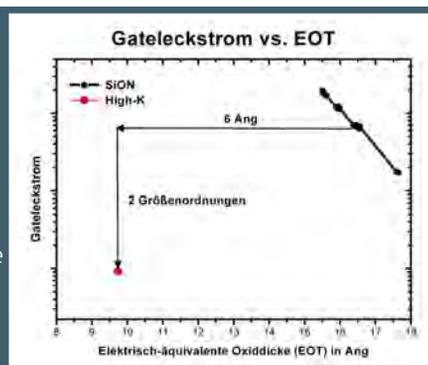
Durch die fortschreitende Skalierung der Halbleiterbauteile konnte die Packungsdichte von Transistoren kontinuierlich gesteigert werden. Damit erhöhte sich auch die Leistungsfähigkeit der integrierten Schaltkreise.

Dabei ist die Skalierung des Gatedielektrikums auf Grund seiner nur noch aus wenigen Atomlagen Siliziumoxinitrid (SiON) bestehenden Dicke an seine physikalischen Grenzen gestoßen. Noch dünnere Gatedielektrika würden wegen der starken Abhängigkeit zwischen Gateleckstrom und Schichtdicke des Gatedielektrikums zu einer hohen Verlustleistung der Schaltkreise führen.

Ein weiterer effektiver Leistungsgewinn ist durch eine zusätzliche Erhöhung der Transistorpackungsdichte, ohne Skalierung des Dielektrikums nicht zu erwarten. Durch einen Wechsel zu neuen Materialien, die im Vergleich zu SiON erhöhte k-Werte aufweisen, wird die weitere Skalierung der elektrisch-äquivalenten Oxiddicke (EOT) bei deutlich höherer physikalischer Schichtdicke ermöglicht. Der Einsatz dieser high-k Materialien ermöglicht somit eine weitere dichtere Packung der Transistoren bei gleichem oder gar geringerem Stromverbrauch (Abb.1).

Abb 1  
Gateleckstrom in Abhängigkeit von der elektrisch-äquivalenten Oxiddicke (EOT). Durch die Einführung von High-k Materialien kann die EOT um 6 Ang skaliert und der Gateleckstrom um 2 Größenordnungen verringert werden.

Abb 1  
Leakage current in addition to electric-equivalent oxide thickness (EOT). Due to the implementation of high-k materials, the EOT could be scaled for 6 Ang as well as the leakage current could be reduced for 2 points.



Diese neue Materialklasse in der CMOS-Fertigungstechnologie verlangt eine Anpassung der Fertigungssequenz, besonders die Abscheidung der neuen Materialien stellt eine Herausforderung im Hinblick auf die geforderten Toleranzwerte in der Fertigung dar. Die Atomlagenabscheidung (ALD) garantiert durch die Selbstlimitierung des Abscheidungsprozesses eine atomlagengenaue Kontrolle der Schichtdicke und könnte damit die Anforderung der Massenfertigung erfüllen.

Am Fraunhofer CNT arbeiten die Wissenschaftler im Rahmen des Projektes HeiKe an einer ALD-Anlage, welche die Deposition ultradünner Schichten ermöglicht. Eine umfangreiche Untersuchung verschiedener Materialien wird durch eine Variation der Prozesschemikalien möglich gemacht. Gemeinsam mit dem Projektpartner AMD werden in der produktionsnahen Forschungsumgebung innovative Einzelprozesse zur Abscheidung der high-k Materialien

#### Atomic layer deposition for high-k materials

By means of progressive device scaling the transistor packing density was continuously increased. Therewith the performance of integrated circuits enhanced. Thereby scaling of the gate dielectric, consisting of just a few atom layers of siliconoxynitride (SiON), reached its physical limits. Thinner gate dielectrics will cause significant integrated circuit performance loss because of the strong dependence between gate leakage current and gate dielectric thickness.

Further effective performance improvement by additional transistor packing density enhancement without any dielectric scaling can not be expected. With a change to new materials that exhibit higher k-values in comparison with SiON further Equivalent Oxide Thickness (EOT) scaling at higher physical thickness is possible. The adoption of these high-k materials enables a denser packing of transistor densities at similar or even lower power consumption (fig.1).

This new material class in the CMOS manufacturing technology requires some adjustments of manufacturing sequence, especially the deposition of the new materials poses a tremendous challenge in terms of required tolerance values in the production.

The atomic layer deposition (ALD) by its self limitation of the deposition process guarantees an atomic layer precise control of layer thickness and might therefore fulfill the mass production demands.

At Fraunhofer CNT scientists are working in the frame of the HEIKE project on an ALD tool which makes deposition

of ultrathin layers possible. A variation of process chemicals offers a comprehensive investigation of different materials. Within a research environment close to production innovative processes for high-k deposition are investigated and further developed together with the project partner AMD. After material-scientific characterization of the fabricated layers, these layers if all demands on purity and electrical properties are met will be brought in AMD's pilot fabrication, in order to receive the full CMOS processing. The transistors being processed in this way help to further improve the ALD process concerning different process parameters such as pressure, temperature and gas flow.

untersucht und weiterentwickelt. Nach materialwissenschaftlicher Charakterisierung der hergestellten Schichten, werden diese bei Erfüllung der Anforderungen an Reinheit und elektrischer Eigenschaften in die Pilotfertigung von AMD eingebracht, um dort die komplette CMOS Prozessierung zu erfahren. Die auf diesem Wege hergestellten Transistoren helfen dabei, den Prozess der Atomlagenabscheidung in Bezug auf die verschiedensten Parameter wie Druck, Temperatur und Gasfluss weiter zu optimieren.

### **Materialanalyse mittels 3D-Atomsondentomographie**

Um die für die Halbleiterindustrie wichtigen high-k Materialien ausreichend untersuchen zu können, stehen den Wissenschaftlern am Fraunhofer CNT zahlreiche Analyse- und Messgeräte zur Verfügung. Durch die fortschreitende Miniaturisierung der elektronischen Bauteile werden immer hochauflösendere Analysegeräte benötigt.

Eine Variante zur Charakterisierung dieser Materialien ist die Atomsonde (LEAP) der Firma Imago Scientific. Diese Anlage ermöglicht eine 3-dimensionale Darstellung einer Probe sowie deren chemische Analyse

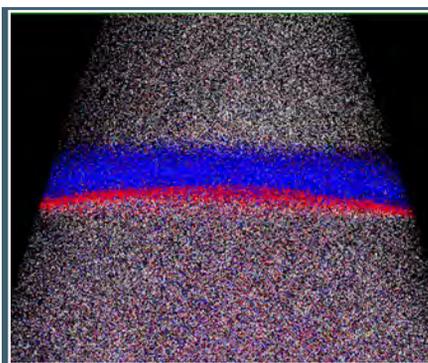


Abb 2

Jeder Punkt stellt ein Atom dar. Gezeigt sind high-k (rot) und Metal-Gate (blau) zwischen zwei Siliziumschichten (grau).

fig 2

Each dot displays an atom. Shown are high-k (red) and metal gate (blue) between 2 silicon layers (grey).

auf atomarer Ebene. Durch eine Farbcodierung der Atome lassen sich diese auf einem 3D-Bild sehr genau erkennen, dadurch kann man die Übergänge von high-k sowie Metal-Gate Schichten deutlich nachvollziehen (Abb. 2).

Für die Analyse wird das zu untersuchende Material mit Hilfe eines fokussierten Ionenstrahls (FIB), in Form einer Spitze mit einem Endradius von weniger als 100 nm gebracht. Durch Anlegen einer Hochspannung mit zusätzlichem Laserpuls werden einzelne Atome kontrolliert von der Oberfläche der Spitze ausgelöst und treffen auf einem Detektor auf. Durch die Projektionsgeometrie und die gemessene Flugzeit kann sowohl ihre Masse als auch die ursprüngliche 3-dimensionale Position der Atome im Material bestimmt werden. Die LEAP-Anlage erlaubt es eine Probe von  $150 \times 150 \times 500 \text{ nm}^3$  in nur wenigen Stunden zu analysieren. Grundsätzlich können anhand dieser Methode die verschiedensten Materialien untersucht werden.

Bei dem Projektfokus auf high-k Materialien wurden in der Startphase planare high-k-Schichten untersucht um die Ergebnisse mit anderen etablierten Messmethoden zu vergleichen. Ziel der aktuellen Projektphase ist die Untersuchung einfach strukturierter Proben. Basierend auf diesen Analysen sollen anschließend, als anspruchvollste Anwendung, fertig prozessierte elektronische Bauteile wie Transistoren betrachtet werden.

### Material analysis with 3D-Atom Probe

To investigate high-k materials, which are important for the semiconductor industry, scientists at Fraunhofer CNT have a variety of different analysis techniques at their disposal. Because of proceeding shrinking of electronic devices new analysis methods with higher resolution are needed. One of these analysis tools is the Local Electrode Atom Probe (LEAP) by Imago Scientific Instruments. LEAP provides 3-dimensional analysis with chemical composition on atomic scale. Each atom is color-coded and so interfaces between high-k and metal gate can be visually displayed in a 3D image (fig. 2).

In order to make a measurement with LEAP the investigated material needs to be brought in tip shape with apex radius of less than 100 nm by Focused Ion Beam (FIB). A high voltage is then applied on this tip and with additional laser pulsing surface atoms are ionized and extracted in a controlled way and hit the detector. Because of the projection geometry and the measured time of flight (TOF) of the extracted ions their mass and 3D position in the material can be determined. Analysis of volume  $150 \times 150 \times 500 \text{ nm}^3$  can be done in a few hours. In general many different materials can be measured with this method.

As the project focus lies on high-k materials, different high-k layer stacks have been already investigated to compare the results with other established techniques. Goal of the next project phase is to investigate simple structured samples. As a future goal the investigation of full processed electronic devices, e.g. transistors, is planned.

## Projekt - Kuwano

### Kleinster spezifischer Kupfer Widerstand in NANO-Leitbahnen *Lowest specific copper resistance at NANO conductor lines*

#### *Kupfer als Material zur Verdrahtung von Transistor und Chipoberfläche*

Die Verdrahtung zwischen der aktiven Transistorebene und der makroskopischen Verdrahtung auf der Chipoberseite ist sehr komplex und kann bis zu 11 Ebenen besitzen. Die Vorteile von Kupfer als Leitungsmaterial liegen in seinen sehr guten elektrischen und thermischen Eigenschaften. Dadurch ist es möglich schnellere und effizientere Mikroprozessoren zu entwickeln und auf den Markt zu bringen. Am Fraunhofer CNT werden im KUWANO-Projekt verschiedene Teilbereiche dieser Technik erforscht und unter der Projektführung von AMD zusammen mit dem Fraunhofer IZM, der TU Dresden und der BTU Cottbus weiterentwickelt.

#### *In-situ Untersuchung von Barrierematerialien*

Damit das leitende Kupfer nicht in das Silizium diffundieren kann müssen die Leitungen, welche in das organisch vernetzte Siliziumdioxid, dem sogenannten SiCOH, geätzt wurden, mittels physikalischer Gasphasenabscheidung (PVD) mit einer Barrierschicht ausgekleidet werden. Als Materialsystem wurde eine TaN / Ta-Doppelschicht gewählt, welche auch für die Performance des gesamten Systems mit verantwortlich ist.

Durch den eigenen Beitrag an der Leitfähigkeit, die Stabilität und durch die induzierte Texturierung im Kupfer sind dessen Anforderungen bezüglich seiner optimalen Struktur sehr hoch. Zur genauen Entschlüsselung des Wechselspiels der verschiedenen Materialien während der Abscheidung wurde an einer kommerziell eingesetzten Depositionsanlage für 300 mm-Wafer eine Kammer für winkelaufgelöste röntgeninduzierte photoelektronenspektroskopische Untersuchungen (ARXPS) angebaut.

Auf diese Weise ist es möglich das sauerstoffempfindliche Tantal direkt nach der Abscheidung, ohne Unterbrechung des Vakuums (in-situ) winkelaufgelöst zu untersuchen. Anhand dieser Technik konnte das Interface zwischen der Barrierschicht und dem Substrat charakterisiert und im Schichtstapel zugeordnet werden.

#### *Cooper as material for wiring transistor and chip surface*

The wiring between the transistor level and the macroscopic bonding of the chip surface is very complex and can include up to 11 layers. The advantage of copper as conductive material originates in its high-quality electric and thermal properties. Thus it is possible to develop faster and more efficient microprocessors. At the Fraunhofer CNT several aspects of this technique are matter of research and will be developed in the KUWANO-project together with the project lead AMD and in Collaboration with, Fraunhofer IZM, TU-Dresden and BTU-Cottbus.

#### *In-situ investigation of barrier materials*

To prevent copper from diffusing into the silicon substrate the conductor lines, which are etched in the organic cross-linked silicate, so called SiCOH, have to be covered with a physical vapor deposited (PVD) barrier layer. The chosen material system is a TaN / Ta double layer which is co-responsible for the performance of the total system. The barrier contributes to conductivity and stability and induces the texturizing in copper and hence the specifications in respect to its optimal configuration are very high.

For the detailed study of the interaction between different materials during the deposition a commercially used deposition cluster tool for 300 mm-wafers was coupled with a analysis chamber for angle resolved X-ray photoelectron spectroscopy (ARXPS) investigations. Hence it is possible to analyze the oxygen-sensitive tantalum directly after deposition without breaking the vacuum (in-situ) and with different take-off angles. On the basis of this technique the interface between the barrier layer and the substrate could be characterized and assigned to the different layers in the stack.

#### *Electrochemical copper deposition*

In the micro electronics the electrochemical copper deposition is an established process for filling interconnects with copper. By adding organic based electrolyte additives a so called "super filling" can be archived. This means that the structures will be filled straight from bottom to top with copper without cavity formation. Concomitant the organic based electrolytic additives are inducing a polycrystalline, mostly void free copper growth (Fig. 2).

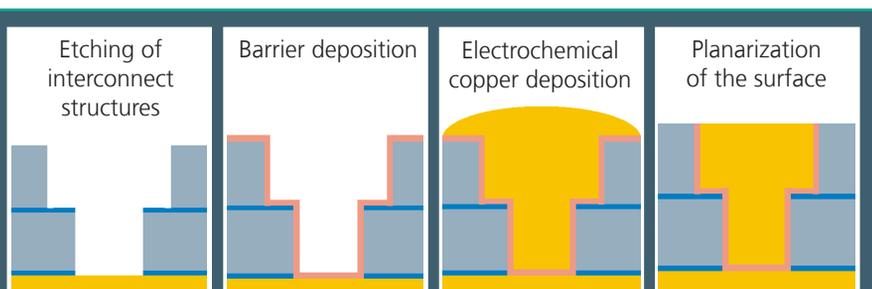


Abb.1 Prozesskette für die Fertigung einer Kupferverdrahtungsebene  
Fig.1 Process chain for producing of copper interconnect levels

From the technological point of view copper deposition is a stabile and reproducible process. But the active principles of the additives and its resulting kinetic of

### Elektrochemische Kupferabscheidung

Die elektrochemische Kupferabscheidung ist in der Mikroelektronik ein bewährtes Verfahren, um Leiterbahnstrukturen mit Kupfer zu füllen. Durch die Zugabe organischer Elektrolytzusätze wird ein sogenanntes „Superfüllen“ erreicht. Damit bezeichnet man das von unten nach oben gerichtete Auffüllen von Strukturen mit Kupfer ohne Hohlräume zu verursachen. Gleichzeitig sorgen organische Elektrolytzusätze für ein polykristallines, nahezu defektfreies Kupferwachstum (Abb. 2).

Technologisch ist die Kupferabscheidung ein stabiler und reproduzierbarer Prozess, wobei die Wirkprinzipien der Elektrolytzusätze und die daraus resultierende Kinetik des Kupferfüllprozesses immer noch kontrovers diskutiert werden. Für die Weiterentwicklung der elektrochemischen Kupferabscheidung für nachfolgende Technologien werden im Fraunhofer CNT die Vorgänge im Elektrolyten elektrisch und chemisch charakterisiert. Dabei steht die Analyse von Stofftransport- und Adsorptionsvorgängen mittels Polarisations- und Impedanzmessungen im Vordergrund. Zusammen mit der experimentellen Kupferabscheidung können damit genauere Modellvorstellungen für den Füllprozess entwickelt werden.

### Anwendungsbezogene Optimierung und Zuverlässigkeitsprüfung

Die Qualität der Kupferverdrahtung auf einen Mikrochip hat einen erheblichen Einfluss auf dessen Stabilität, Geschwindigkeit und Energieverbrauch. Ein ausgeprägtes Kornwachstum ist notwendig um den Widerstand im Kupfer zu minimieren und gleichzeitig die Widerstandsfähigkeit gegenüber Elektromigration zu erhöhen. Im Overburden der Kupferschicht werden die Körner größer. Jedoch wachsen diese größeren Kristallkörner nicht in entsprechender Größe in die schmalen Leitungen hinein und werden desto kleiner je schmaler die Leitungen werden (Abb. 3). Nach dem Temperprozess des abgeschiedenen Kupfers konnte die Gefügestruktur sowohl in Abhängigkeit zu den Druckverhältnissen, der Temperzeit und der Temperatur im Ofen, als auch in Zusammenhang mit den Additiven und der Barriere untersucht werden. Charakterisiert wurden die Schichten mit Röntgendiffraktometer (XRD), Elektronen-Rückstreu-Beugung (EBSD) und SEM.

the copper filling process are still controversially discussed. For the improvement of the electrochemical copper deposition for following technology nodes in the Fraunhofer CNT the processes in the electrolyte will be electrical and chemical characterized. Therefore the analysis of the mass transport and adsorption processes via polarization and impedance measurements are in the very fore. Together with experimental copper deposition it is possible to develop more exact models of the filling process.

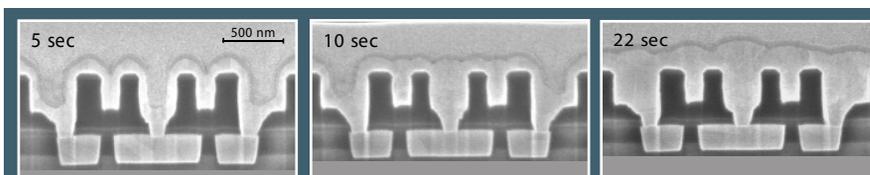


Abb.2 Elektrochemische Kupferabscheidung: Defektfreies Auffüllen der Strukturen mit Kupfer (SEM)

Fig.2 Electrochemical copper deposition: Void free filling of the structures with copper (SEM)

### Application centered optimization and reliability testing

The quality of the copper wiring on micro chips has a huge impact on its stability, velocity and energy consumption. A pronounced grain growth is necessary to minimize the resistivity in copper and at the same time to increase the electro migration resistivity. In the copper overburden the grains become bigger, but they don't grow in this native size into the narrow lines (Fig. 3). After the annealing process of the deposited copper it was possible to investigate the microstructure in respect to pressure, annealing time and oven temperature, as well as in connection with additives and with the barrier. The characterization of the layers was carried out by X-ray diffraction (XRD), electron backscattering diffraction (EBSD) and scanning electron microscopy (SEM).

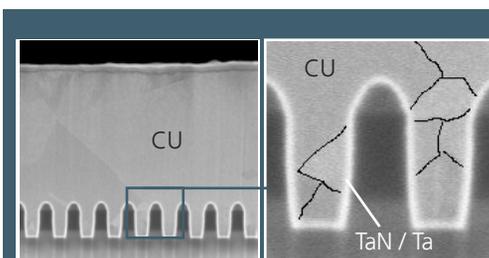


Abb 3 Kristallbildung im Kupfer in der Struktur und in der überlagerten Struktur mit überzeichneten Korngrenzen (SEM)

Fig 3 Crystallite formation in copper in the structure and in the overburden (SEM)

## Projekt - Carat

### Einsatz von epitaktischen Si:C Schichten zur mechanischen Verspannung und Leistungssteigerung von NMOS Transistoren / Dedication of epitaxial Si:C layers for mechanical stress and performance increase of NMOS transistors

#### Epitaxie von Si:C Schichten

Zur mechanischen Verspannung und Leistungssteigerung von NMOS-Transistoren wird am Fraunhofer CNT an dem Einsatz von epitaktischen Si:C Schichten geforscht. Dazu werden in Kooperation mit AMD neuartige Verfahren zur mechanischen Verspannung von n-Kanal Transistoren entwickelt.

Si:C besitzt eine geringere Gitterkonstante als Silizium. Durch die auftretende Gitterfehlpassung, wird bei der Heteroepitaxie von Si:C der Transistorkanal in einen zugverspannten Zustand versetzt (Abb. 1). Dies hat eine Steigerung der Elektronenmobilität zur Folge, welches sich wiederum durch einen erhöhten Sättigungstrom der Transistoren bei gleich bleibendem Leckstrom auszeichnet. Für diese Arbeiten steht eine Niedrigdruck CVD (chemical vapour deposition) Anlage zur Verfügung, welche in-situ eine Abscheidung von phosphordotierten Si:C Schichten mit ca. 2at% C ermöglicht. Um die Spannungszustände der epitaktisch gewachsenen Schichten zu analysieren, nutzen die Wissenschaftler ein hochauflösendes Röntgendiffraktometer, welches im Reinraum des Fraunhofer CNT zur Verfügung steht.

Eine der Herausforderungen bei der Integration von Si:C Schichten liegt in deren begrenzter thermischer Stabilität. Um die noch nicht vollständig verstandenen Mechanismen der temperatur- und zeitabhängigen Spannungsrelaxation genauer beschreiben zu können, verfügt das Fraunhofer CNT über einen Rapid Thermal Anneal (RTA) Ofen im Labormaßstab. Mit diesem können an Waferbruchstücken Temperungen unter Ar, N<sub>2</sub> oder N<sub>2</sub> / O<sub>2</sub> Atmosphäre vorgenommen werden. Anhand dieser Methode ist es möglich z.B. Erkenntnisse über den Einfluss von Phosphorkonzentrationen in Bezug auf zu erwartende Spannungsrelaxationen zu gewinnen (Abb. 2).

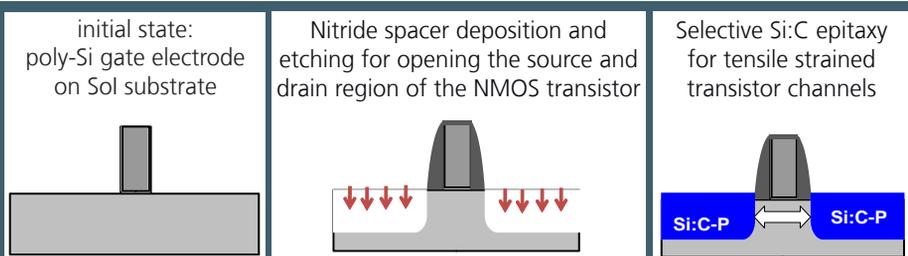


Abb. 1 Schematischer Ablauf der Si:C Integration  
Fig. 1 schematic development of Si:C integration

#### Application of epitaxial Si:C layers to increase the performance of NMOS transistors (by the implementation of mechanical strain)

In order to increase the performance of NMOS transistors, strained layers of epitaxial Si:C are investigated at Fraunhofer CNT. In cooperation with AMD, new methods for the implementation of mechanical stress to n-channel transistors are developed.

The lattice parameter of Si:C alloys is much smaller compared to Si. Due to this lattice mismatch, the hetero-epitaxy of Si:C causes a tensile strain within the transistor channel (fig. 1) resulting in an increased electron mobility. The saturation current of the transistor increases at constant leakage current. For that purpose, an LP-CVD tool can be used enabling the deposition of in-situ phosphorous doped Si:C layers with ~2 at% C. The stress state of the epitaxial grown layers is analyzed inline with a high resolution X-ray diffraction tool.

One of the challenges to integrate Si:C layers in current technologies is the limited thermal stability. In order to investigate the temperature and time dependent relaxation mechanisms, annealing experiments under Ar, N<sub>2</sub> or N<sub>2</sub> / O<sub>2</sub> atmosphere are performed with a lab Rapid Thermal Anneal (RTA) furnace. Applying this method, consolidated findings in terms of e.g. the influence of phosphorus on expected stress relaxation can be made (fig. 2).

#### Nano-Raman spectroscopy

The implementation of mechanical stress in the channel of MOSFET transistors enhances significantly the charge carrier mobility. For a further performance increase an optimization of the stress state within the transistor channel is inevitable and therewith also a method capable of analyzing stress on nm scale. Raman spectroscopy is a fast and non-destructive analytical method allowing the determination of mechanical stress in semiconductor materials. However the resolution of this method is limited by diffraction, thus preventing investigations in the nm range.

With tip-enhanced Raman spectroscopy (TERS), a combination of conventional Raman spectroscopy and atomic force microscopy (AFM) the resolution can be significantly improved, allowing the investigation of the stress state with a lateral resolution below 100 nm. Therefore, on the one hand

## Nano-Raman-Spektroskopie

Das gezielte Einbringen von mechanischen Verspannungen in den Transistorkanal von MOSFETs führt zu einer deutlichen Erhöhung der Beweglichkeit von Ladungsträgern. Für eine gezielte Steigerung der Leistungsfähigkeit von integrierten Schaltungen ist eine Optimierung des Spannungszustands im Bereich des Transistorkanals erforderlich und damit auch ein Verfahren, das Spannungsanalysen auf einer nm-Skala ermöglicht.

Die Raman-Spektroskopie bietet die Möglichkeit, die mechanischen Spannungen in Halbleitermaterialien schnell und zerstörungsfrei zu messen. Das Auflösungsvermögen dieses Verfahrens ist durch die Beugung des Lichtes begrenzt, so dass Untersuchungen der Spannungszustände im nm-Bereich mit konventionellen lichtoptischen Verfahren nicht zugänglich sind.

Mittels Spitzen verstärkter Raman-Spektroskopie (TERS), einer Kombination aus Raman-Spektroskopie und Rasterkraftmikroskopie (AFM), kann die Auflösung soweit verbessert werden, dass Spannungsuntersuchungen an Strukturen unterhalb von 100 nm möglich sind. Dazu müssen einerseits metallisierte AFM-Spitzen (TERS-Spitzen) hergestellt werden, die das Ramansignal in unmittelbarer Nähe der Spitze signifikant verstärken. Andererseits sind aber auch geeignete Teststrukturen für die Bestimmung der erzielten Auflösung erforderlich. Im Rahmen des CARAT-Projekts wurden deshalb Linienstrukturen mittels lokaler anodischer Oxidation hergestellt, die sich wegen der genau definierten Abstände zwischen den Linien sehr gut für die Bestimmung der erzielten Auflösung eignen. Mit den hergestellten TERS-Spitzen konnte an diesen Linienstrukturen bereits eine Auflösung von unter 100 nm erreicht werden.

Das Ziel der Untersuchungen ist, durch den Einsatz nahfeldoptischer Messverfahren den Spannungszustand im Transistorkanal zu bestimmen und damit einen wichtigen Beitrag zur Leistungssteigerung nano-elektronischer Schaltkreise zu leisten.

metalized AFM-tips (TERS tips) are needed which enhance the Raman signal in the vicinity of the tip apex significantly. On the other hand also appropriate structures are required for the determination of the achieved lateral resolution. Therefore line structures with accurately defined distances between the lines were prepared by local anodic oxidation for an exact determination of the spatial resolution. TERS measurements on these structures showed that a resolution below 100 nm is possible.

The aim of this investigation is the determination of the stress state in the transistor channel with near-field approaches thus making an important contribution for performance improvement of nano-electric devices.

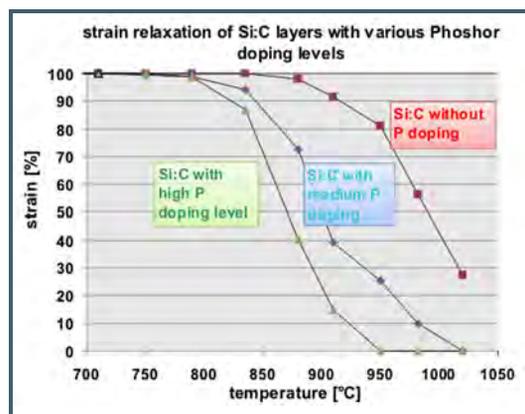


Abb 2  
quantitativer Verlust der tensilen Verspannung durch Temperung. Die Höhe der Phosphor-Konzentration bestimmt die Stabilität der Schichten maßgeblich

Fig 2  
Quantitative loss of tensile tension because of tempering. Phosphor concentration is affecting the stability of the layers relevantly.

## Projekt - Nanoanalytik

### Entwicklung analytischer Verfahren zur Materialcharakterisierung bei Strukturgrößen unterhalb 40 nm *Development of analytical methods for material characterization below structure sizes of 40 nm*

#### Materialcharakterisierung durch Atomsondentomographie

Durch die fortschreitende Miniaturisierung und Leistungsverbesserung von Prozessoren und DRAM-Speichern steigen die Anforderungen an die bisher genutzten Analyseverfahren. Zur Charakterisierung der physikalischen Eigenschaften von Materialien unterhalb einer Strukturgröße von 40 nm müssen neue analytische Verfahren entwickelt werden.

Die Verteilung und elektrischen Eigenschaften von Dopingstoffen in Silizium, die Beschreibung von Grenzflächen einschließlich von Diffusionsvorgängen und die Bestimmung von Dünnschicht-Phasendiagrammen sind Kernthemen welche am Fraunhofer CNT bearbeitet werden. Zum Analysieren der verschiedenen Materialproben arbeiten die Wissenschaftler im Rahmen des Projektes Nanoanalytik mit hochentwickelten Messverfahren, wie Röntgendiffraktometrie mit Hochtemperaturoption, ToF-SIMS, TEM, FIB und Atomsondentomographie (APT). Die Verwendung der Atomsondentomographie ist für die Halbleiterindustrie ein neues Verfahren zum Analysieren von Materialproben, bei dem die dreidimensionale Elementverteilung einer speziell präparierten, nadelförmigen Probe mit atomarer Auflösung bestimmt wird. Hierbei werden die Atome in dieser Probe mittels laserunterstützter Feldverdampfung atomar abgetragen.

Die Position der verdampften Atome wird mit einem zweidimensional ortsempfindlichen Detektor bestimmt, während die Flugzeit Informationen über die Art des Atoms enthält. Durch eine Datenrekonstruktion erhält man eine 3dimensionale Darstellung der Atomverteilung in der Probe, wobei Atome unterschiedlicher Elemente durch spezifische Farben codiert werden können (Abb. 1). Mit dieser Methode wurde die Verteilung von Bor-Atomen in einem Schichtstapel TiN/TiSi<sub>2</sub>/B-dotiertes-Si-Substrat untersucht. Durch einen Wärmebehandlungsschritt kommt

#### Material characterization with atom probe tomography (APT)

New challenges for analytical methods are arising driven by the miniaturization of processors and DRAM memory devices with improved performance. Especially, for the characterization of the physical and structural properties of materials with structure sizes below 40nm, new analytical concepts have to be found.

Fraunhofer CNT focuses on a couple of main topics, such as the distribution and electrical properties of dopants, the investigation of interfaces including diffusion processes or the determination of thin film phase diagrams. The scientists at CNT have access to state-of-the-art analytical methods, e.g. X-ray diffractometry with high temperature chamber, ToF-SIMS, TEM, FIB and atom probe tomography (APT). The use of the APT for material analysis is currently emerging within the semiconductor industry. This tech-

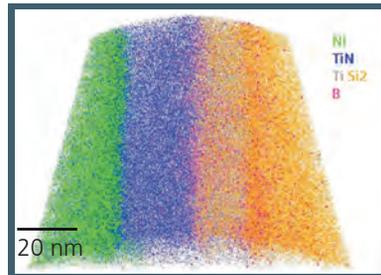


Abb 1  
Zweidimensionale Projektion der dreidimensionalen Atomverteilung eines typischen Schichtstapels TiN/TiSi<sub>2</sub>/Si (B-dotiert)

Fig 1  
Two dimensional projection of a three dimensional atomic map of a typical TiN/TiSi<sub>2</sub>/B-doped Si substrate layer stack

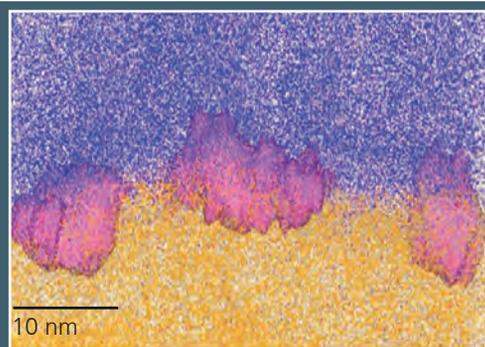
nique is used for the determination of elements with atomic resolution in three dimensions, where needle-like samples are analyzed atom by atom by laser assisted field evaporation. The positions of the evaporated atoms are determined by a two dimensional position sensitive detector and elemental information is obtained by the time of flight of the evaporated atom.

The reconstruction results in a 3D atomic map, where atoms from different elements are coded by specific colors (Fig. 1). This method was used to analyze the distribution of boron atoms in a layer stack of TiN/TiSi<sub>2</sub>/B-doped Si substrate. The TiSi<sub>2</sub> layer is formed by an annealing process, which also leads to a significant redistribution of the boron atoms from the substrate into the layer stack. With APT it could be clearly shown, that the boron atoms accumulate at the TiN/TiSi<sub>2</sub> interface forming TiB<sub>2</sub> clusters. (Fig. 2).

The next step for the APT analytics will be the investigation of structured samples, e.g. single transistors. Therefore, sample preparation and the analysis parameters need to be optimized.

Abb 2  
Darstellung von TiB<sub>2</sub>-Clustern in der Grenzfläche TiN / TiSi<sub>2</sub>

Fig 2  
TiB<sub>2</sub> clusters at the TiN / TiSi<sub>2</sub> interface



es zur Bildung von  $\text{TiSi}_2$ . Damit einher geht eine erhebliche Umverteilung der B-Atome aus dem Substrat in das Schichtsystem. Mittels der Atomsondentomographie kann eindeutig gezeigt werden, dass sich die B-Atome an der  $\text{TiN}/\text{TiSi}_2$  Grenzfläche anreichern, wobei sich  $\text{TiB}_2$ -Cluster bilden (Abb. 2). Der nächste Schritt in der APT-Analytik wird in der Untersuchung strukturierter Proben, z.B. von einzelnen Transistoren bestehen. Hierbei sollen die Optimierung der Probenpräparation und der Analysebedingungen im Fokus liegen.

### Dünnschicht-Phasendiagramme von high-k Dielektrika

Die Wissenschaftler des Fraunhofer CNT arbeiten ebenso an der Entwicklung neuartiger Materialien für Kondensatoren in DRAM Zellen. Im Falle sehr dünner Schichten von Zirkonium- oder Hafnium-basierten high-k Dielektrika, gelten die bekannten Bulkphasendiagramme nicht mehr. Dies ist Folge des gewachsenen Einfluss der Ober- und Grenzflächenenergie.

Die Kristallisationstemperatur und Struktur der kristallinen Phase hängen von zahlreichen Parametern, wie Schichtdicke, Unterlage und Dotierungen ab. Mittels Hochtemperaturröntgenbeugung können Dünnschicht-Phasendiagramme gewonnen werden. Im Rahmen des Projektes wurde beispielsweise der Einfluss einer Silizium-Dotierung in 10 nm dicken  $\text{HfO}_2$ -Schichten auf Phasenbildung und Kristallisationstemperatur untersucht. Es zeigt sich, dass unterhalb einer 6%tigen  $\text{Si}/(\text{Si}+\text{Hf})$  Konzentration die  $\text{HfO}_2$ -Schicht in der monoklinen Struktur kristallisiert. Bei steigendem Silizium-Anteil kristallisiert die Schicht in der gewünschten kubischen oder tetragonalen Struktur. Dabei erhöht sich die Kristallisationstemperatur mit steigender Konzentration von Silizium (Abb 3).

Durch die Optimierung der Messbedingungen lassen sich komplexe, von mehreren Parametern abhängende Dünnschicht-Phasendiagramme in sehr kurzer Frist bestimmen, was für die Entwicklung und Optimierung neuer high-k Dielektrika von großer Bedeutung ist.

### Thin film phase diagrams of high-k dielectrics

The scientists at Fraunhofer CNT are also developing new materials – so called high-k dielectrics - to be used in the capacitor of future DRAM cells. For very thin films of zircon or hafnia based high-k dielectrics, the well known bulk phase diagrams are not valid anymore, due to the increasing influence of surface and interfacial energy.

The crystallization temperature and the crystal structure of a crystalline film depends on a number of different parameters, such as layer thickness, substrate type or dopant concentration. For the determination of thin film phase diagrams, high temperature X-ray diffraction is the method of choice. Within the project "Nanoanalytik", e.g. the influence of the silicon concentration in a 10 nm thin  $\text{HfO}_2$  film on phase formation and the crystallization temperature was investigated. Below 6%  $\text{Si}/(\text{Si}+\text{Hf})$  concentration, the  $\text{HfO}_2$  film crystallizes in a monoclinic structure. With increasing Si content, the film crystallizes in the preferred cubic or tetragonal phase. The crystallization temperature increases with increasing Si concentration (Fig. 3). Complex thin film phase diagrams, which are of high value for the development and optimization of new high-k dielectrics, can be obtained in a very short time frame, when optimal measurement conditions are used.

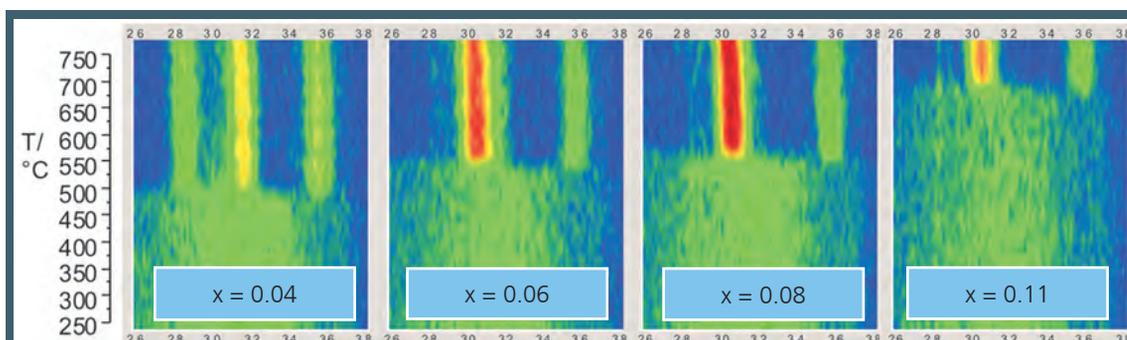


Abb 3 Temperaturabhängige GIXRD Messungen an 10 nm ALD- $\text{Hf}(1-x)\text{Si}x\text{O}_2$  Filmen mit unterschiedlicher Si Konzentration

Fig 3 Temperature depending GIXRD measurements of 10 nm ALD- $\text{Hf}(1-x)\text{Si}x\text{O}_2$  films with different Si concentration

## Projekt - Sohar & Merlin

### ALD Abscheidetechniken für neue Materialien und wenige Atomlagen dicke Schichtsysteme *Techniques of atomic layer deposition for new materials and layer systems*

#### *Atomlagenabscheidung von Dielektrika für zukünftige DRAM-Generationen: Von Zirkonium- über Hafnium- zu Titan-basierten Schichten*

Eine zentrale Aufgabe bei der Weiterentwicklung von DRAM-Speichern besteht in der Suche nach immer effizienteren dielektrischen Materialien für die Speicherkondensatoren. Diese Dielektrika müssen aufgrund der schrumpfenden Bauelementabmessungen immer höhere Dielektrizitätskonstanten bei gleichzeitig möglichst geringem Leckstrom aufweisen.

Gemeinsam mit Qimonda, dem Fraunhofer IISB und dem Fraunhofer IKTS arbeitet das Fraunhofer CNT an der Entwicklung von Materialien für die nächsten 3X nm und 2X nm DRAM-Generationen. Aufgrund der komplexen 3-dimensionalen-Struktur, welche durch hohe Aspektverhältnisse gekennzeichnet ist, sind homogene, nur wenige Nanometer dicke Beschichtungen nur mittels der Abscheidung von Atomlagen (ALD) konturengenau zu erreichen. Die Kombination dieser Technologie mit der 2008 beim Projektpartner Qimonda eingeführten Struktur des Stapelkondensators bedeutet dies auch eine Verringerung des thermischen Budgets während des gesamten Herstellungsprozesses. Die Forschungsschwerpunkte liegen dabei sowohl auf materialwissenschaftlichen als auch auf techno-

#### *Atomic layer deposition of dielectrics for future DRAM generations: From Zirconium to Hafnium to Titanium based layers*

A key challenge in DRAM memory research is the development of more efficient dielectric materials for the storage capacitor. Due to shrinking device dimensions, these dielectrics have to provide higher dielectric constants while keeping the leakage current as low as possible.

Jointly with Qimonda, Fraunhofer IISB, and Fraunhofer IKTS, Fraunhofer CNT is working on materials for the next 3X nm and 2X nm DRAM generations. Due to complex 3-dimensional structures with high aspect ratios, the coatings which are only few nanometers in thickness could be conformably deposited exclusively via atomic layer deposition (ALD). Combined with stacked capacitor structures which were introduced by the partner Qimonda in 2008 this also implies a reduction of the used thermal budget for the hole manufacturing process. Research activities are focused on material science as well as technology aspects.

For an effective search for suitable dielectric materials, different deposition methods are used. Next to atomic layer deposition, methods like physical vapor deposition (PVD) and sol-gel technique are applied. These methods allow

Abb 1

Hochtemperatur-Röntgenanalyse von ALD-HfO<sub>2</sub>-Schichten mit Si- bzw. Y- und Si-Dotierung:  
a) amorph-monokliner Übergang bei niedrig dotiertem HfSiO,  
b) amorph-tetragonaler Übergang bei ausreichend stabilisiertem HfSiO,  
c) Temperaturerniedrigung für den amorph-tetragonalen Übergang bei HfYSiO.

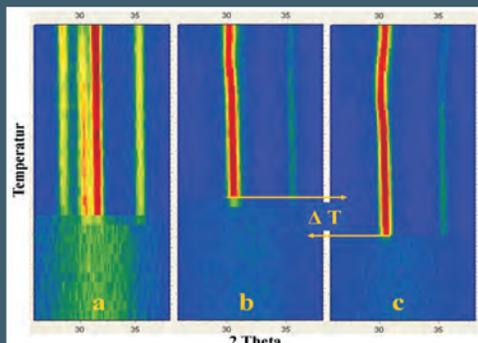


Fig 1

High temperature X-ray analysis of Si and Y doped ALD HfO<sub>2</sub> layers:  
a) amorphous-monoclinic transition of low-doped HfSiO,  
b) amorphous-tetragonal transition of sufficiently stabilized HfSiO,  
c) temperature lowering for amorphous-tetragonal transition in HfYSiO.

logischem Gebiet.

Bei der effektiven Suche nach geeigneten dielektrischen Materialien werden verschiedene Beschichtungsmethoden angewandt. Neben der Atomlagenabscheidung, kommen hierzu auch Methoden wie physikalische Gasphasenabscheidung (PVD) und die Sol-Gel-Technik zum Einsatz. Diese erlauben eine schnelle und große Materialvariation, sind aber nur für die Herstellung planarer Strukturen geeignet. Dabei als aussichtsreich identifizierte Materialien bilden die Grundlage für die Entwicklung entsprechender ALD-Technologien.

In Fortführung der bisherigen Arbeiten an Zirkonium-basierten Schichten, von denen gezeigt werden konnte, dass die an sie gestellten Anforderungen erfüllt werden konnten

fast and manifold material variations, but fit only for planar structures. ALD technology development is then based on identified promising materials.

In continuation of the previous work on Zirconium based layers which fulfilled the demanded specifications and are tested by Qimonda for DRAM production, research activities were focused on Hafnium and Titanium based dielectrics in 2008. The dielectric constant of HfO<sub>2</sub> is strongly structure dependent. While for monoclinic HfO<sub>2</sub> the dielectric constant is about 23, the k value for the tetragonal phase is about 40. The aim of actual research is to stabilize the tetragonal crystal phase at the high k value via various doping. It could be shown that the addition of Silicon stabilizes the tetragonal phase and the addition of Yttrium

Abb 2  
Dosiersystem für flüssige Precursoren auf der ALD-Forschungsanlage im Reinraum des Fraunhofer CNT

Fig 2  
Dosing system for liquid precursors at the ALD research tool in the Fraunhofer CNT cleanroom



und vom Partner Qimonda für die DRAM-Produktion getestet wurden, standen 2008 Hafnium- und Titan-basierte Dielektrika im Zentrum der Untersuchungen. Die Dielektrizitätskonstante  $k$  des  $\text{HfO}_2$  hängt stark von dessen Struktur ab. Für monoklines  $\text{HfO}_2$  beträgt die Permittivität etwa 23 und für die tetragonale Phase besitzt sie einen deutlich höheren Wert von etwa 40. Ziel der laufenden Forschungsarbeiten ist es, die tetragonale Kristallstruktur bei hohem  $k$  durch verschiedene Dotanden zu stabilisieren. Es konnte bestätigt werden, dass die Addition von Silicium zur Stabilisierung der tetragonalen Phase führt, die Beimischung von Yttrium zur Senkung der Kristallisationstemperatur. Ergebnisse von Hochtemperatur-Röntgenuntersuchungen stellen sowohl die Phasenstabilisierung als auch das Potential zur Verringerung des thermischen Budgets dar (Abb 1).

Ein weiterer Schwerpunkt der Forschungsarbeiten ist die Weiterentwicklung der ALD-Technologie. Dies umfasst sowohl die Verbesserung der ALD-Technik als auch die Erprobung neuer Precursoren. Dazu wurde die Forschungsanlage durch ein Flüssigkeitsdosiersystem ergänzt, mit dem es nun auch möglich ist, Schichten aus Precursoren mit relativ niedrigem Dampfdruck herzustellen. Das Dosiersystem zur direkten Flüssigkeitsverdampfung wurde auf eine ALD-Prozesskammer montiert und kann bei unterschiedlichen Precursoren eingesetzt werden (Abb. 2).

Bei der Herstellung Titan-basierter Dielektrika im System Ti-Hf-O steht der Vergleich der Titanprecursoren TDMAT und StarTi<sup>®</sup> im Mittelpunkt. Da das Zersetzungsverhalten von ALD-Precursoren oft erheblichen Einfluss auf die Schichteigenschaften hat, werden Untersuchungen zum ALD-Prozessfenster für diese beiden Precursoren durchgeführt. Im Gegensatz zu TDMAT zeigt StarTi<sup>®</sup> keine thermische Zersetzung bis zu einer Prozesstemperatur von 400°C. Bei TDMAT ist das Einsetzen einer thermischen Zersetzung bereits ab ca. 220°C zu beobachten (Abb. 3).

reduces the crystallization temperature. High temperature X-ray analysis reveal the phase stabilization as well as the potential lowering of the thermal budget (Fig. 1).

Further emphasis was on enhancements in ALD technology. These belong to improving the ALD technique as well as to testing alternative precursors. For that purpose, the research tool was equipped

with a liquid dosing system which allows film deposition using precursors with extremely low vapor pressure. The dosing system for direct liquid evaporation was installed for one ALD chamber and can be used for different precursors (Fig. 2).

For the deposition of Titanium based dielectrics in the Ti-Hf-O system, work was focused on the comparison of Titanium precursors TDMAT and StarTi<sup>®</sup>. As the decomposition behavior of ALD precursors often affects film properties, investigations were performed regarding the ALD process window for these precursors. In contrast to TDMAT, no thermal decomposition could be observed up to process temperatures of 400°C. TDMAT shows the onset of thermal decomposition already at about 220°C (Fig. 3).

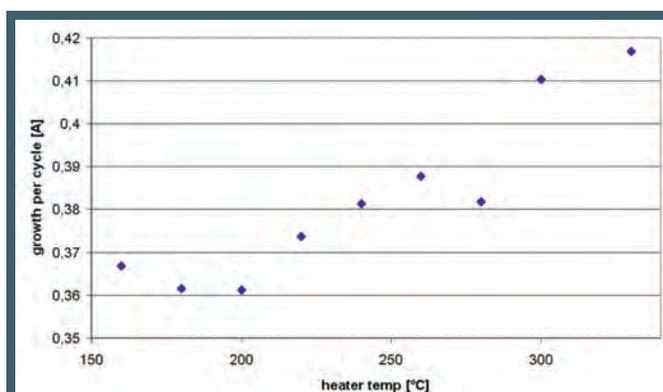


Abb 3 Temperaturfenster von TDMAT / Thermische Zersetzung oberhalb 220°C.

Fig 3 Temperature window of TDMAT / Thermal decomposition above 220°C

## Projekt - Adler

Verfahrensentwicklung zum Plasmaätzen von Strukturen mit großem Aspektverhältnis für  
DRAM-Speicherbauelemente bei kritischen Strukturbreiten <50nm / *Development of Tools and  
Processes for Si Patterning of future DRAM- Circuits with high Aspect Ratio at critical dimensions < 50 nm*

### Simulation technischer Plasmen

Um die Leistung der Bauelemente für DRAM-Speicher weiter zu verbessern, arbeiten die Wissenschaftler im Projekt Adler an einer Verfahrensentwicklung zum Plasmaätzen von Strukturen mit großem Aspektverhältnis bei kritischen Strukturbreiten von <50nm. Ein großer Anteil der Prozesse in der Halbleiterindustrie basiert auf Plasmen, ionisierte Gase, deren elektrische Eigenschaften man sich beim Plasmaätzen zu Nutze machen kann. Dabei werden in den Gasen vorhandene freie Elektronen durch Energiezufuhr beschleunigt, und ionisieren so Neutrale. Durch diesen Prozess können auf Wafern Strukturen in Form von Löchern oder Gräben geätzt werden, welche einen hohen Grad an Anisotropie aufweisen.

Im Gegensatz zum nasschemischen Ätzen bedeutet dies, dass beim Plasmaätzen die Ätzrate richtungsabhängig ist. Die Anforderungen an diese Prozesse werden durch kleinere Strukturabmessungen erhöht. Dazu kommt, dass wesentliche Charakteristiken des Plasmas und Mechanismen der Oberflächenwechselwirkung zwischen Plasma und Wafer noch nicht verstanden sind. Oft ist der Zusammenhang zwischen den Prozessparametern eingekoppelte Leistung, Druck und Gasmischung zu dem Ätzergebnis nicht bekannt. Simulationen unterstützen an dieser Stelle die Prozessentwicklung. Die am Fraunhofer CNT eingesetzte Software erlaubt eine geometrische Abbildung der Ätzkammer mit einem Rechengitter, auf welchem sich sowohl Modellgleichungen als auch Ergebnisse grafisch darstellen und lösen lassen. So kann man z.B. die Plasmadichteverteilung von Argon bei einem Druck von 150mTorr simulieren. Die Entladung wird von 100V bei 60MHz von der unteren Elektrode ausgelöst. Zudem lassen sich in der Simulation elektrostatische Chuck, Fokusring, Gaseinlass in eine komplett dielektrisch geschirmte Kammer berücksichtigen.

Derzeitiger Schwerpunkt der Simulationsarbeiten ist der, den Wafer umgebende Fokusring und dessen Auswirkungen auf die Uniformität des Plasmas über die Waferoberfläche. Ziel ist ein möglichst sanfter Übergang des Plasmas am Rand des Wafers. Da der Fokusring sowohl die elektrischen, thermischen als auch chemischen Eigenschaften des Plasmas beeinflusst, hat er somit entscheidende Auswirkungen auf die Ätzergebnisse. Bisherige Untersuchungen zeigten, dass sich durch mangelnde thermische Koppelung des Fokusringes der Waferrand aufheizte. Aus einer Abbildung der Vektoren des elektrischen Feldes lässt sich erkennen, dass diese am Rand eines Wafers nicht senkrecht auf der Waferoberfläche stehen (Abb 1). Dieser Effekt könnte ein verändertes und unerwünschtes Ätzer-

### Simulation of technical plasmas

In order to improve the capacity of DRAM devices, scientists of project "ADLER" work on a process development for the plasma etching of structures with large aspect ratios at critical dimensions of <50nm. Semiconductor industry processes are majorly based on ionized gases. Whose special characteristics are beneficial for etching processes. Highly energetic electrons of the plasma are capable of ionizing neutral atoms. An important application of plasma techniques is the preparation of special anisotropic surface features, e.g. pits, trenches, on Silicon-wafers.

The extreme smallness of the produced structures caused special requirements. But fundamental plasma characterizations and surface interactions between plasma and wafer are not yet understood. The connection between the process parameters linked achievement, pressure and gas mixture is often not well-known to the etching result. Because of that simulations are important methods for process development. The software used at the Fraunhofer CNT permits a geometrical illustration to the etch chamber with a computing lattice, on which both model equations and results can plot and be solved. So we can e.g. simulate the plasma density distribution of argon with a pressure of

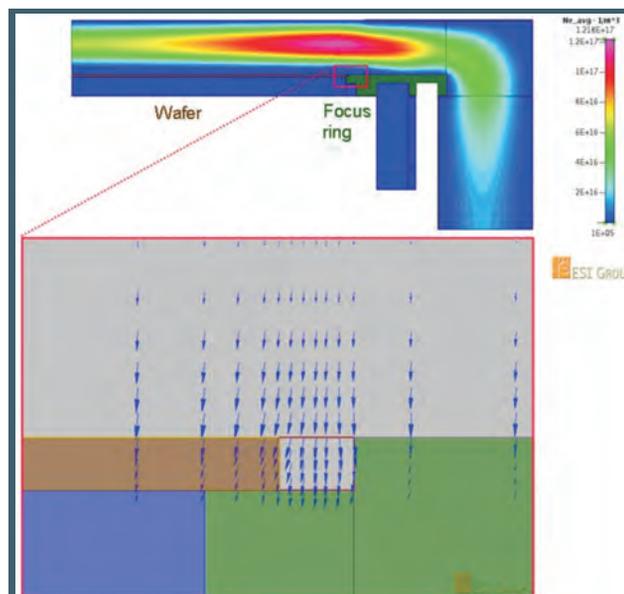


Abb. 1  
Detailansicht  
des Übergangs  
- Wafer zum  
Fokusring

Fig. 1  
Detail view of  
the Transition  
from wafer to  
focus ring

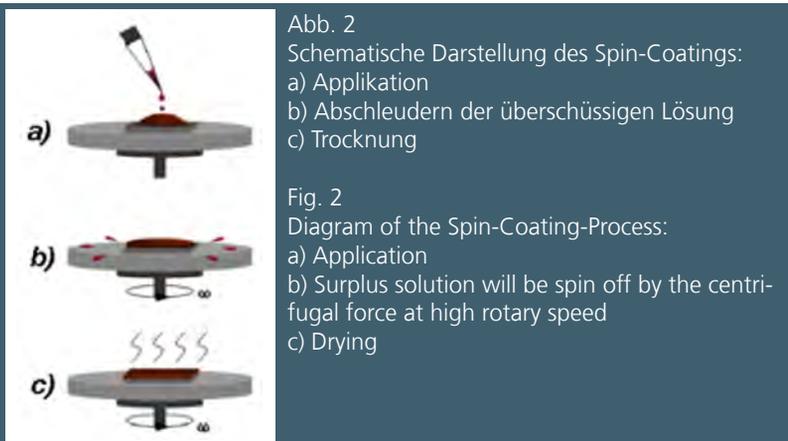
150mTorr. Discharge is released by 100V with 60MHz from the lower electrode. Furthermore electrostatic chuck, focus ring, as well as gas inlet into a completely dielectrically protected chamber can be considered.

The impact of the focus ring on plasma uniformity over the wafer surface is the current emphasis of the simulation work. A preferably smooth transition of the plasma at the wafer edge is aspired. By the influence of electrical, thermal and chemical characteristics of the plasma, the focus ring

gebnis am Rand des Wafers im Vergleich zur Wafermitte erklären. In Bezug auf die elektrischen und geometrischen Eigenschaften des Fokusringes ist durch weitere Untersuchungen eine Optimierung auf Simulationsebene zu erwarten.

### Spin-Coating - Technik für keramische Zirkoniumdioxid-Schichten

Spin-Coating nennt sich die Technik zum Aufbringen einer speziell hergestellten Lösung aus chemischen Precursoren (Sol) auf 300mm Silizium-Wafern (Abb 2). Neben der Langzeitstabilität des Sols, können dabei Viskosität und Benetzbarkeit durch den Zusatz geeigneter Additive an die jeweiligen Anforderungen angepasst werden.



Dieses Verfahren zeichnet sich durch eine homogene Verteilung der Ausgangsstoffe, hohe chemische Reinheit und seine Einfachheit aus. Weiterhin stellt es eine preiswerte Alternative zur Beschichtung mittels physikalischer bzw. chemischer Gasphasenabscheidung oder der Atomlagenabscheidung dar. Um Porosität, Rissbildungen und zu starke mechanische Belastungen des Wafers zu vermeiden, werden die erzeugten Schichten über eine spezielle Temperaturführung, dem Tempern ausgeheilt. Als ausschlaggebende Kriterien zur Optimierung der Oxidschichten gelten dabei die Homogenität und Defektfreiheit der Schicht, sowie ein geringer mechanischer Stress des Substrates. Um die entstandenen keramischen Schichten zu analysieren stehen am Fraunhofer CNT die verschiedensten Verfahren wie mikroskopische und Röntgenanalysen, sowie die Ellipsometrie zur Bestimmung von Schichtdicken zur Verfügung (Abb 3).

Anwendung finden die erzeugten 10-300 nm dicken Schichten unter anderem als Hartmasken beim Ätzen. Die Schichten zeigen eine höhere Resistenz gegenüber den Ätzgasen als das zurzeit verwendete Siliziumdioxid ( $\text{SiO}_2$ ). Dies hat zur Folge, dass die Schichtdicke der Hartmaske um mindestens die Hälfte reduziert werden kann, was sich durch Zeit- und Geldersparnis wiederum positiv auf den Fertigungsprozess auswirkt.

is decisive for the etch result. Past investigations showed that by thermal coupling failing of the focus ring the wafer edge heated itself. The vectors of the electrical field are not perpendicular to the wafer surface (fig. 1). This effect could explain a modified and unwanted etching result at the wafer edge in comparison to the wafer center. Optimization of the simulation processes is to be expected by further investigations of the electrical and geometrical characteristics concerning the focus ring.

### Spin-Coating - Technique for ceramic zirconia layers

Spin-Coating is a deposition technique of a special precursor solution ( $\text{ZrO}_2$  sol) at 300mm silicon wafers (fig. 2).

Apart from the long-term stability of the sol, thereby viscosity and wettability can be aligned by suitable additives to the respective requirements. This procedure is characterized by a homogeneous distribution of the chemical precursors, high chemical purity and its simplicity. Further it represents an inexpensive alternative to the coating by means of physical / chemical vapor deposition or the atomic layer deposition.

In order to avoid porosity, cracking and mechanical stressing the wafer, the produced layers are healed with a special heat treatment. Crucial criteria for the optimization of the oxide coatings are uniform and defect-free layers, as well as a small

mechanical stress of the substrate. For characterization of the ceramic layers most diverse procedures are available at Fraunhofer CNT like microscopic and X-ray analyses, as well as the ellipsometry for thickness determination (figure 3).

Among other examples the produced 10-300nm thick layers apply as hard mask materials by etch processes in semiconductor industry. The layers exhibit a higher etch resistance opposite corrosive gases than the silicon dioxide ( $\text{SiO}_2$ ) used at present. This has the consequence that the layer thickness of the hard masks can be reduced by at least half, which positively affects the processing time and thus the manufacturing economy.

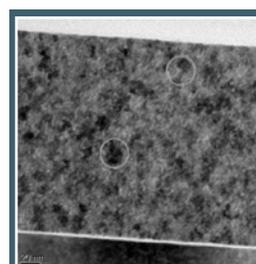


Abb. 3  
TEM-Bild einer bei 400°C getemperten  $\text{ZrO}_2$ -Schicht.

Fig. 3  
TEM image of a  $\text{ZrO}_2$  layer after anneal at 400°C.

## Projekt - Simkon

### Simulationskonzept für 32 nm CMOS Technologien *32 nm CMOS technologies simulation concepts*

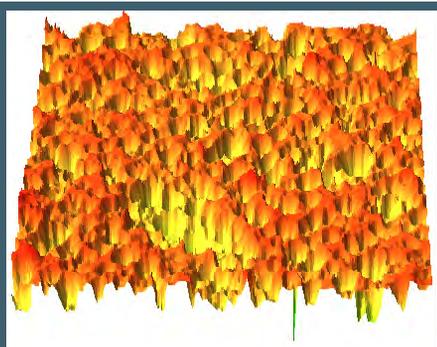
#### *Chemisch-mechanisches Polieren dielektrischer Materialien - Modellentwicklung für das Planarisieren von Strukturen*

In der Prozesskette der Fertigung von Halbleiterprodukten ist die wiederholte Herstellung möglichst planer Oberflächen eine Voraussetzung für nachfolgende Prozessschritte. Insbesondere kritische Prozesse wie Ätzung und Lithographie erhalten damit ein ausreichendes Prozessfenster. Weiterhin wird die Schwankung elektrischer Eigenschaften der Schaltung durch präzisere Bauelementgrößen verringert. Das chemisch-mechanische Polieren (CMP) erfüllt diese Anforderungen und ermöglicht zudem neue Wege der Integration.

Beim CMP wird der Wafer auf ein mittels Konditionierer aufgerautes und mit einer Suspension getränktes Poliertuch gedrückt. Zwischen Wafer und Poliertuch herrscht eine Relativbewegung, meist durch Rotation. Durch Druck, Bewegung und die in der Suspension enthaltenen Feststoffteilchen entstehen mechanische Abtragskräfte. Diese werden durch chemische Effekte der Suspension unterstützt oder sogar erst ermöglicht.

Abb.1  
Rauigkeitsmessung eines Poliertuches

Fig.1  
polishing pad roughness measurement



Trotz mehrjähriger erfolgreicher Anwendung in der industriellen Fertigung ist das Verständnis für die beschriebenen Mechanismen noch nicht genau genug. Dies ist im Zuge der Miniaturisierung jedoch bedeutend, damit man die Prozesse unter steigenden Anforderungen weiterhin beherrscht. Auch für den Schaltkreisentwurf selbst ist ein genaueres Verständnis wichtig. Nur so können Grenzen der Prozessierbarkeit frühzeitig berücksichtigt werden um Entwicklungszeit und -kosten niedrig zu halten.

Das Verbundprojekt SIMKON/Teilvorhaben II hat die Entwicklung eines umfassenden Gesamtmodells zur Vorhersage der nach der Planarisierung auf dem Wafer verbleibenden Unebenheiten zum Ziel. Neben dem Projektleiter Qimonda, arbeiten das Fraunhofer CNT sowie drei weitere Fraunhofer-, ein Leibniz Institut und die TU Dresden als Unterauftragnehmer an dem Projekt mit. Die Aufgabe des Fraunhofer CNT ist gemeinsam mit Qimonda die gewonnenen Erkenntnisse der Projektpartner über Teile des

#### *Chemical mechanical polishing of dielectric materials – Model development for the planarization of structures*

The recurring creation of planar surfaces is an enabler for subsequent process steps in the process chain of semiconductor manufacturing. Especially for critical processes like etching and lithography an adequate process window can be obtained. Furthermore the variation of the circuit's electrical properties is decreased through more precise sizes of its components. The chemical mechanical polishing (CMP) conforms to these demands and also facilitates new ways of process integration.

During CMP a wafer is pressed onto a conditioned polishing pad which is soaked with slurry. A relative motion, usually through rotations, exists between wafer and pad. Due to pressure, motion and the particles of the slurry mechanical forces are generated. Those are enhanced or even enabled only by chemical effects of the slurry.

Despite successful application in industrial production for many years there is still a lack of understanding of the described mechanisms. However in the course of miniaturization a more detailed understanding is crucial to be able to cope with the processes while the requirements go up. The same holds true for the circuit design. Only by comprehension, manufacturability limits can be considered at an early stage to minimize development time and expenses.

The goal of the joint research project SIMKON/Teilvorhaben II is the development of an extensive model for the prediction of the unevenness on the wafer after the planarization process. Besides the project head Qimonda, the Fraunhofer CNT, three further Fraunhofer institutes, a Leibniz institute and the TU Dresden contribute as subcontractors. Together with Qimonda it is the task of the Fraunhofer CNT to merge the project partners' findings about parts of the process. Thus the modelling approaches created are used in simulations and verified in experiments. In particular the influence of structures on CMP is looked at closely.

The common model concepts for processes with silica slurry ( $\text{SiO}_2$ ) are based on the planarization's significant dependence on the pattern density originating from the present structures. The models are fitted to a certain process in a semi-empirical manner by the Preston equation, which states the removal rate of material to be proportional to the applied pressure and relative velocity between wafer and pad. Thereby the pattern density causes locally differing pressures. The constant of proportionality depicts all further

Prozesses zusammenzufügen. Somit gewonnene Modellierungsansätze werden in Simulationen verarbeitet und experimentell verifiziert. Insbesondere wird sich dabei auf die Abhängigkeit des CMP von Strukturen konzentriert.

Die bisher üblichen Modellansätze beruhen auf der für Prozesse mit Silicasuspensionen ( $\text{SiO}_2$ ) wesentlichen Abhängigkeit des Planarisierungsverhaltens von der Strukturichte. Eine Anpassung des Modells an den speziellen Prozess erfolgt stark empirisch über das Preston'sche Gesetz, wonach der Materialabtrag proportional zum ausgeübten Produkt aus Druck und Relativgeschwindigkeit zwischen Wafer und Poliertuch ist. Die Strukturichte bewirkt dabei lokal unterschiedliche Drücke. Die Proportionalitätskonstante enthält summarisch alle weiteren physikalischen und chemischen Einflüsse des Prozesses ohne jedoch die genauen Anteile von einzelnen Prozessparametern, insbesondere der Verbrauchsmaterialien Poliertuch, Suspension und Konditionierer weiter aufzulösen.

Diese Einflüsse auf den Abtrag von Strukturen werden im Projekt genauer untersucht. Beispielsweise wird die Poliertuchrauigkeit betrachtet, welche vor allem durch den Konditioniervorgang und das Alter des Tuches bestimmt wird. Weiterhin wird der Einfluss der Strukturen selbst auf die Kraftverteilung innerhalb eines Mikrochips analysiert. Neben der üblichen Strukturichte werden zusätzliche Parameter für ein genaueres Modell hinzugezogen. Ein wichtiges Ziel des Projektes ist, Modellunterschiede für Prozesse mit Silica- und Ceriasuspensionen ( $\text{CeO}_2$ ) darzustellen.

Für die experimentelle Untersuchung und Modellverifizierung werden entsprechende CMP-Versuche auf einem von Qimonda eigens entwickelten Testchip durchgeführt. Mit Hilfe geeigneter Charakterisierungsmethoden können viele Informationen über den Prozess gewonnen werden. Beispielsweise wird die aus dem Poliervorgang resultierende Topographieevolution mittels Schichtdicken- und Profilometermessungen bestimmt.

physical and chemical influences of the process. However the detailed influences of certain process parameters remain unknown. Especially the role of the consumables pad, slurry and conditioner are left uncertain.

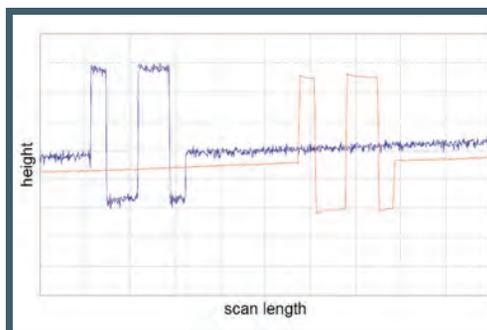


Abb.2  
Profilometermessung an einer Teststruktur mit verschiedenen Abtasteinstellungen

Fig.2  
test structure profilometer measurement with different sample adjustments

These very roles are examined closer in the project, especially in conjunction with structured wafers. For example, the influence of the pad roughness, which is mainly determined by the conditioning and the pad age, is investigated in more detail. Furthermore the influence of the structures' shapes on the force distribution within a microchip is analyzed. Besides the widely accepted pattern density additional parameters are employed for a more accurate model. An important goal of the project is to depict model differences for silica and ceria ( $\text{CeO}_2$ ) slurries.

For experimental studies and model verifications appropriate CMP runs are carried out using a specially designed test chip. A lot of information about the process can be obtained with the help of adapted characterization methods. For instance the topography evolution resulting from the proceeding planarization operation can be gained from thickness and profile measurements.

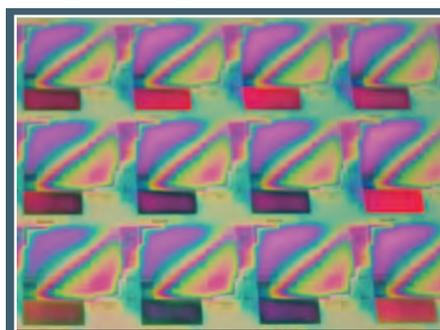


Abb.3  
Mikroskopbild eines CMP-Testchips

Fig.3  
CMP testchip microscop picture

## Projekt - Gossamer

### FLASH Speicher für sub 30nm Technologie *Gigascale Oriented Solid State flAsh Memory for EuRope*

Gossamer – Europäisches Verbundprojekt zur Entwicklung von Flash-Speichern

In den letzten Jahren war ein stetig zunehmender Speicherbedarf mit einer Verbreiterung des Anwendungsspektrums zu verzeichnen. Insbesondere nicht-flüchtige Speicher in Form von Flash-Speichern, wie er z.B. in Digitalkameras oder Handys zum Speichern von Multimediadaten Verwendung findet, erfreuen sich steigender Nachfrage.

Die Entwicklung und Realisierung von Flash-Speichern der nächsten Generation auf 300mm Wafern stellt den „Gossamer“-Projekthalt dar. Im Fokus stehen dabei Lösungen, die für sog. Solid State Disc, ein möglicher Ersatz für magnetische Festplattenspeicher, eingesetzt werden können.

Ziel ist die Entwicklung einer Technologie für eine Zellgröße von unter 30 nm, bei der konventionelle Flash-Speicherkonzepte an ihre physikalischen Grenzen stoßen. Dabei soll am Ende des Projektes die Produktreife der neuen Technologie anhand eines Demonstratorchips dargestellt werden. Gemeinsam mit dem Fraunhofer CNT begleitet der Industriepartner Qimonda das von der Europäischen Union geförderte Verbundprojekt, in dem auch weitere internationale Firmen, Forschungsinstitute und Universitäten aus dem Halbleitersektor eingebunden sind (Numonyx (Italien), IMEC (Belgien), ASM-I etc.).

Schwerpunkte des Projekt-Beitrages am Fraunhofer-CNT sind:

- Materialforschung (Dielektrika- und Elektrodenmaterialien)
- Integration neuer Materialien in den Prozessablauf
- Entwicklung geeigneter Ätzverfahren
- Elektrische Messungen an Dielektrika und Speicherzellen
- Untersuchungen zu Methoden zur Erhöhung der Speicherdichte

Gossamer – Joint European research project for the development of flash memory devices

In recent years the demand on memory devices has been continuously increasing. Especially for the flash memory, used e.g. in digital cameras or mobile phones to store multimedia data, the market is rapidly growing.

The topic of the “Gossamer” project aims at the development and implementation of next generation Flash memory devices on 300 mm wafers. Considered solutions focus on solid state disc applications which are discussed as an alternative to the magnetic storage media. Therefore, a technology has to be developed for a sub-30 nm target cell size where conventional flash memory concepts reach their physical limit. As a final outcome, for this technology the readiness for start of production will be demonstrated. Joint with the Fraunhofer CNT, Qimonda accompanies this project as an industrial partner. Also other European companies, research institutes, and universities of the semiconductor sector (Numonyx (Italy), IMEC (Belgium), ASM-I etc.) are involved in the Gossamer project funded by the European Union.

The main tasks of Fraunhofer CNT within this project are:

- materials research (dielectric and electrode materials)
- integration of new materials in the process flow
- development of suitable etch processes
- electrical characterization of dielectric layers and memory cells
- investigation of methods to increase the storage density

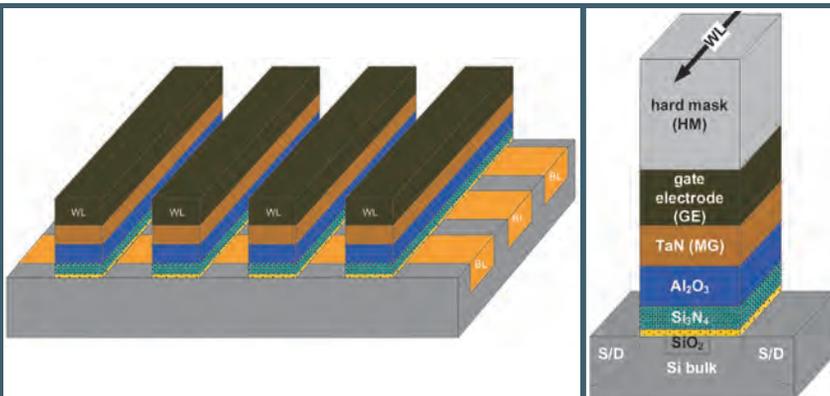


Abb.1  
Schematische Darstellung des „TANOS Charge Trap“ Schichtstapels  
Dieser ist als Einzelspeicherspeichertransistor (rechts) in einem NAND-Zellenfeld (links) integriert

Fig.1  
Schematic of a NAND array (left) of TANOS charge trap memory cells (right)

### Funktionsweise und Anforderungen an die TANOS-Speicherezelle

In einem Flash-Speicher ist eine große Anzahl von Einzelzellen zu einem sogenannten NAND-Array zusammengeschaltet, wobei jeweils 32 Einzelzellen entlang der Bitline (BL) einen „String“ ergeben. Jeder Kreuzungspunkt von Wordline (WL) und BL stellt dabei einen einzelnen Zelltransistor dar (Abb. 1), in dem durch eine zusätzliche Speicherschicht Ladung bzw. Information gespeichert werden kann. Anders

als bei den sogenannten „flüchtigen“ Speichern (z.B. DRAM) bleibt bei diesem Konzept die gespeicherte Information auch dann erhalten, wenn die Versorgungsspannung abgeschaltet wird.

Eine TANOS-Speicherezelle besteht aus einem Stapel unterschiedlichster Materialien. Der Name „TANOS“ leitet sich aus der Schichtabfolge der Materialien ab: der Tantalnitrid (TaN) -Steuerelektrode („Gate“) des Zelltransistors, einer isolierenden Aluminiumoxidschicht, einer nichtleitenden Nitrid-Schicht und der darunter liegenden dünnen Oxidschicht, die die gespeicherte Ladung vom Silizium des Transistorkanals separiert. Dieser Zellentwurf zählt zu den sogenannten „Charge Trap“ Speichern, da die Ladungen in der Nitridschicht an Haftstellen eingefangen werden (charge trap, engl. Ladungsfalle). Während des „Programmiervorgangs“ werden Elektronen auf die ladungsspeichernde Siliziumnitridschicht gebracht. Die gespeicherte Ladung ändert die Einsatzspannung des Transistors, so dass beim Auslesen der Zelle eindeutig zwischen programmiertem und gelöschtem Zustand unterschieden werden kann. Diese beiden Zustände repräsentieren so die gespeicherte Information, die in eine digitale Form, in ein Bit, übersetzt werden kann (Abb.2).

### Functionality and requirements of the TANOS memory cell

Within a flash memory a lot of single cells are linked together to a so-called NAND array where 32 cells along the bitline (BL) form a string. Each crosspoint of wordline (WL) and BL represents a single cell transistor (Fig. 1) where information is stored as electronic charge in an additional trapping layer. In contrast to volatile memory devices (e.g. DRAM) the information is here conserved even if the voltage supply is removed.

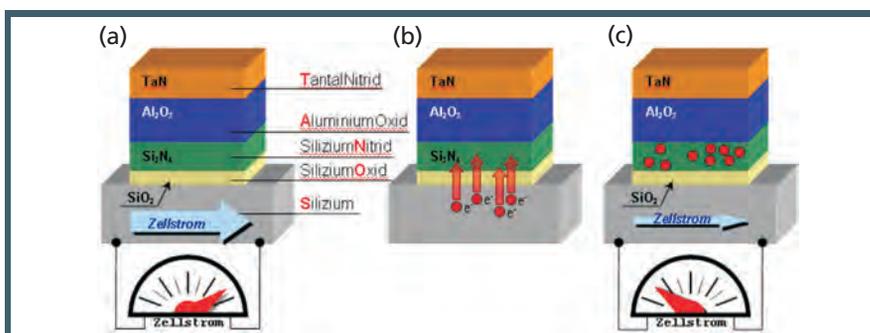


Abb. 2 Zellstrom in Abhängigkeit des Programmierzustandes einer TANOS Flash-Speicherezelle. (a) Gelöschte Zelle, (b) Programmiervorgang durch Speicherung von Elektronen in der Si<sub>3</sub>N<sub>4</sub>-Schicht, (c) Stromfluss in einer programmierten Zelle

Fig. 2 Cell current for different program states of a TANOS flash memory cell. (a) Erased cell, (b) process of programming due to storage of electrons in the Si<sub>3</sub>N<sub>4</sub> layer, (c) cell current of a programmed cell

The TANOS memory cell is formed as a stack of different materials. The name „TANOS“ derives from the top-down sequence of layers : the tantalum nitride gate electrode of the cell transistor, the isolating alumina layer, the non-conducting silicon nitride layer and below this stack a thin silicon oxide layer which separates the stored charge from the silicon of the transistor channel. This cell concept belongs to the so-called charge trap memory devices, as the charge is stored at traps in the silicon nitride layer. During the programming procedure electrons are transferred to the silicon nitride layer. The stored charges cause a threshold voltage shift of the transistor which enables to distinguish clearly between the programmed and erased state of the device cell. These states represent the stored information that can be translated to digital codes (bits) (Fig. 2).

Für den Nutzer eines Flash-Speichers sind im Wesentlichen folgende Qualitätsmerkmale interessant: Wie viel Information kann ich speichern und wie lange bleiben die Daten nach dem Programmieren erhalten? Wie schnell und oft kann der Speicher gelöscht und programmiert werden? Aus diesen Fragestellungen ergeben sich sehr hohe Anforderungen für die Integration neuartiger Materialien. Darüber hinaus stellen sich auch neue Herausforderungen bzgl. der Algorithmen, mit denen eine Zelle bzw. ein Zellenfeld betrieben wird. Um die Speicherdichte (Bits/Fläche) weiter zu erhöhen, geht man von Zellkonzepten mit nur einem zu speichernden Bit pro Zelle (SLC, Single Level Cell) zu solchen mit mehreren Speicherzuständen pro Zelle (MLC, Multi Level Cell) über. Dafür müssen nicht nur zwei Zustände unterschieden werden, sondern, im Falle von 2 Bit, vier Zustände (Abb. 3). Dabei ist zu bedenken, dass die Einzelzustände in einem Zellenfeld einer gewissen Statistik unterliegen, deren Verteilungen sehr eng zusammenrücken. Die Anforderungen an ein solches Zellkonzept sind somit gegenüber der SLC-Variante ungleich höher, zumal ein Überlappen der Verteilungen, z.B. verursacht durch einen geringen Ladungsverlust einzelner Transistoren, mit einem Informationsverlust in der Zelle einhergeht.

### „Bleaching“ bei Transistoren!

Die technische Herausforderung für die Herstellung von Transistoren mit Strukturgrößen von 30 nm und darunter besteht dabei nicht nur im Einsatz von neuen Belichtungsmethoden sondern, da die angestrebten Strukturgrößen weit unterhalb der konventionellen Belichtungswellenlänge von 193 bis 248 nm liegen, auch in der Strukturierung der sehr unterschiedlichen Materialien des Zelltransistors. Für erste grundlegende Untersuchungen wurden bereits Testchips mit Speicherzellen einer nominellen Linien- bzw. Grabenbreite von 48nm gefertigt. Die Strukturen werden mit Hilfe eines Immersions-scanners von einer Belichtungsmaske auf den Fotolack eines 300mm Wafer übertragen. Die weitere Strukturierung für die verschiedenen Materialien erfolgt mittels spezieller Plasmaätzverfahren, wodurch sich Gräben mit einem anisotropen Profil erzeugen lassen.

Diese Verfahren sind auch für sehr kleine Strukturdimensionen einsetzbar, allerdings gestaltet sich die Prozessentwicklung auch bei diesen Ätzverfahren und Strukturgrößen immer anspruchsvoller. Schon geringe Abweichungen im Nanometerbereich oder auch Rauigkeiten an den Strukturen würden die Produkteigenschaften stark beeinflussen. Aber nicht nur die Genauigkeit spielt eine große Rolle, sondern auch die Vermeidung von Schäden durch Ätzen am Transistor. Eine Herausforderung stellte dabei die Strukturierung des mechanisch sehr harten kristallinen Metalloxides  $Al_2O_3$  dar. Es konnte zwar ein Ätzprozeß gefunden werden, der in der Lage ist, die gewünschten

The user of a flash memory is mainly interested in the performance of the device, i.e. the storage capability, the data retention time, the data transfer rate, and the number of possible program and erase cycles. Very high challenges regarding the integration of new materials evolve from these general requirements. Additionally, new algorithms have to be developed to operate such a memory array. In order to increase the storage density (bits per area) the cell concepts extend from single level cells (SLC), where only one bit per cell is stored, to multi level cells (MLC) with a higher complexity. In the latter case not only two states have to be distinguished (SLC) but, as in the case of a 2-bit storage, even four states (Fig. 3). With respect to the statistics of a full cell array, each programming level has a “natural”

distribution with the consequence that neighbored storage levels approach very close to each other. Thus, the requirements of a MLC cell concept are much more challenging than for the SLC case since an overlapping of distributions, e.g. due to a significant charge loss of individual cells, causes a total loss of information.

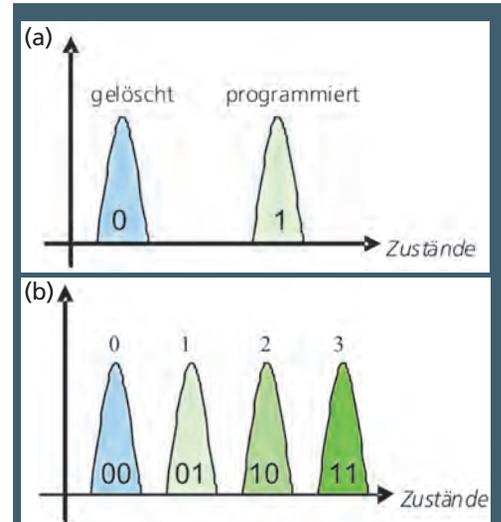


Abb. 3 Zustandsverteilung von Zellen für das SLC-(a) und MLC-Konzept (b)

Fig. 3 Distribution of states at certain program/erase levels for the SLC (a) and MLC concept (b).

### „Bleaching“ at transistors!

The technical challenge for the production of transistors in sub-30 nm scales evolves not only from the use of new lithography methods (the target structure dimension is well below the conventionally used light exposure wavelength of 193 to 248 nm) but also from the patterning of very different materials incorporated in the cell transistor. For first basic investigations, memory cell test chips were fabricated with a nominal half-pitch width of 48 nm (lines and trenches). These patterns are transmitted from lithogra-

Anforderungen zu erfüllen, dieser stellte sich allerdings als problematisch für die anderen Materialien des Zellstapels heraus (Abb. 4). Es wurde beobachtet, dass in Abhängigkeit der Ätztemperatur und Ätzdauer an den Flanken der Tantalnitrid (TaN)-Schicht Materialinhomogenitäten auftreten, welche die mechanische Stabilität des Stapels erheblich beeinflussen. Während der Ätzung in einem chlorhaltigen Plasma bei Temperaturen zwischen 250°C und 350°C findet eine Art Ausbleichen des TaN statt (Abb. 4b). Wesentliche Verbesserungen des Prozesses wurden durch die Einführung einer Seitenwandschutzschicht erreicht, die vor der Ätzung des Metalloxides abgeschieden wird und somit die TaN Schicht während des Ätzprozesses einkapselt. Auf diese Weise konnte das Ausbleichen des TaN verhindert werden.

phic masks on the resist of a 300 mm wafer by means of an immersion scanner. For the patterning of the different cell stack layers, specific plasma etch processes are needed to enable an anisotropic trench etch.

These etch processes are also suitable for very small structure dimensions, but with increasing complexity their development is getting more and more challenging. Even very small deviations in nanometer scales or an increasing roughness on the structures would have a strong impact on the product performance. Not only the roughness is of major importance but also the prevention of an etch damage at the transistor. Here, one challenge is the patterning of the mechanically very stable crystalline metal

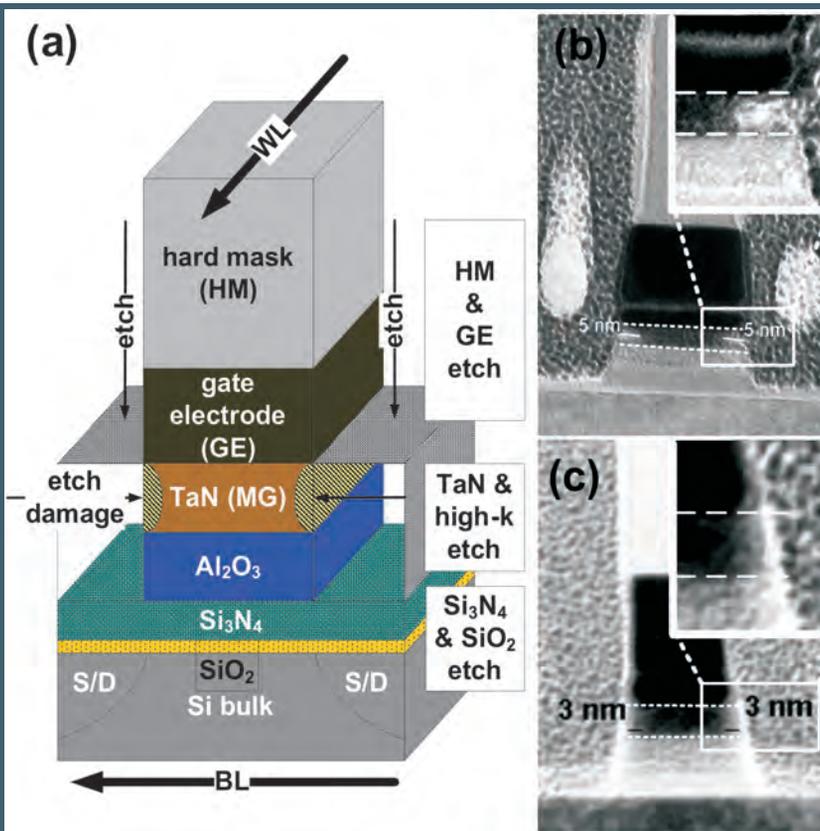
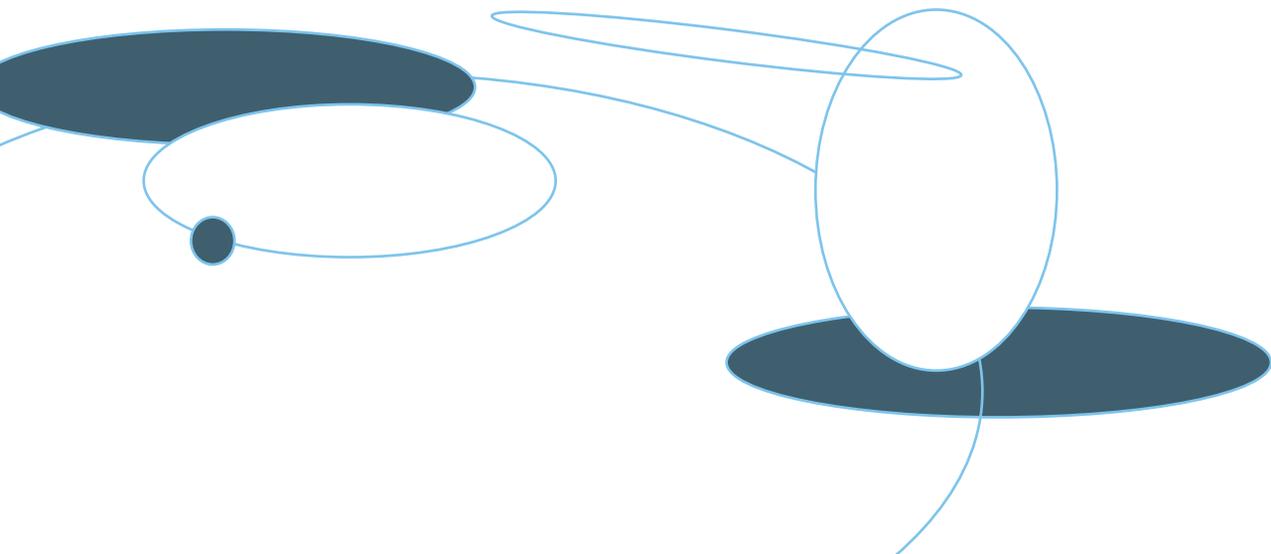
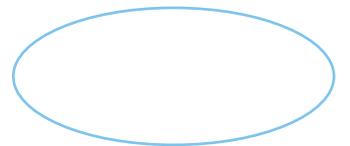
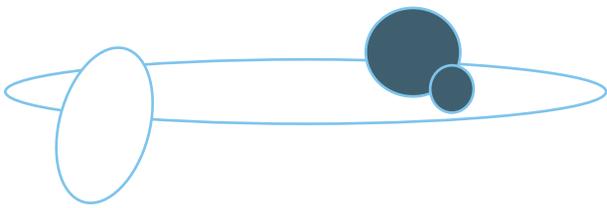
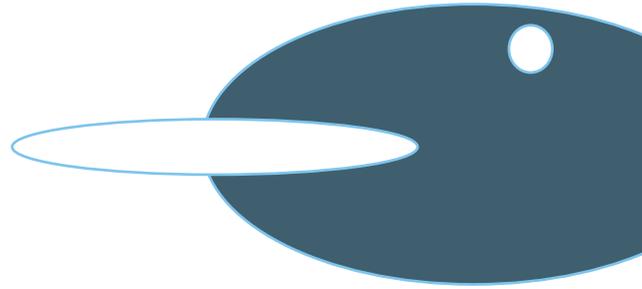
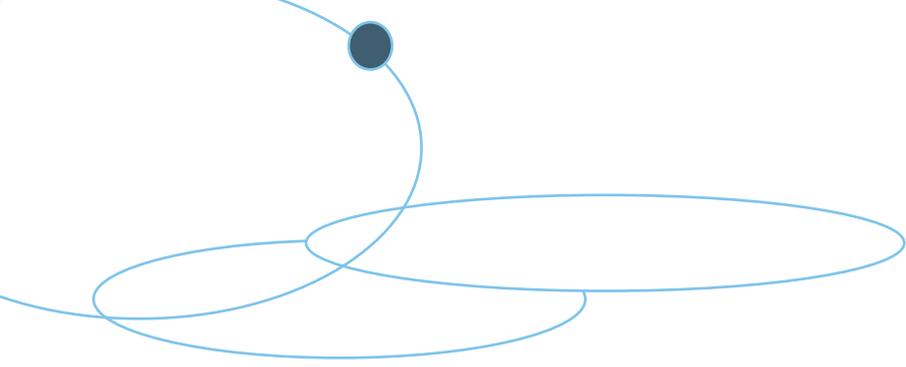


Abb. 4  
a) Schematische Darstellung des TANOS-Zellstapels und des  $\text{Al}_2\text{O}_3$ -Ätzprozesses mit auftretender Schädigung an der TaN-Elektrode. Die TEM Aufnahmen eines präparierten Transistors nach Ätzung bei  
b) 350 °C  
c) 250 °C.

Fig. 4  
a) Schematic of a TANOS cell stack illustrating the damage of the TaN electrode layer during the  $\text{Al}_2\text{O}_3$  high temperature plasma etch process. TEM images of a single memory cell after etching at  
b) 350 °C  
c) 250 °C.

oxide  $\text{Al}_2\text{O}_3$ . High temperature plasma etch processes might be able to fulfill the requirements, but tend to be problematic for the other materials of the layer stack (Fig. 4). Depending on the etch temperature and time, a degradation at the sidewalls of the tantalum nitride (TaN) layer occurs which has a severe impact on the mechanical stability of the stack. Using an etch plasma gas containing chlorine, at temperatures between 250 and 350°C a chemical reaction takes place at the TaN layer sidewalls during etch processing (Fig. 4b). Significant improvements of the process were achieved intro-

ducing a sidewall liner which is deposited before the metal oxide etch. There, the TaN layer is encapsulated during the etch process which inhibits the chemical attack.



Verschiedenes

*miscellaneous*

Lange Nacht der Wissenschaften <i>night of science</i>	38
Fraunhofer CNT Kolloquium 2008 <i>Colloquium 2008</i>	39
Vorträge, Poster und Publikationen <i>Lectures, posters and publications</i>	40

## Lange Nacht der Wissenschaften <sup>2008</sup> *night of science* <sub>2008</sub>

### *Forschung zum Anfassen - Lange Nacht der Wissenschaften*

Am 04. Juli 2008 fand in Dresden zum sechsten Mal in Folge die lange Nacht der Wissenschaften statt. Im Rahmen dieser WissensNacht öffnen Dresdner Hochschulen und Wissenschaftseinrichtungen an einem Freitag zwischen 18:00 – 01:00 Uhr ihre Pforten, Hörsäle und Labore für Wissenswertler der Stadt Dresden und Umgebung.

Auch im vergangenen Jahr konnten die Dresdner viele Standorte wie zum Beispiel die Technische Universität, das Universitätsklinikum, Max-Planck und Leibniz Institute besuchen. Die Fraunhofer Gesellschaft war mit 10 teilnehmenden Instituten vertreten. Im Institutszentrum der Fraunhofer Gesellschaft, auf der Winterbergstrasse,

### *Research up close - night of science*

For the sixth time in series, the night of science has been organized at the 04th of July 2008 in Dresden. Universities and research institutions of Dresden opened their doors in the frame of this night of knowledge. That Friday, between 18:00 - 01:00, people out of Dresden and surroundings had the chance to visit auditoriums and laboratories of multiple research and science institutions.

Many locations like the Technical University, the university hospital, Max-Planck and Leibniz institutes could be visited of those who are curious. Out of the Fraunhofer Gesellschaft 10 institutes have been participating. At the Fraunhofer institution-center in Dresden, visitors could do handcraft flowers or puzzles out of ceramic materials (IKTS) or



konnten Besucher zum Beispiel anhand von keramischen Schäumen Blumen und Puzzles basteln (IKTS) oder die Entwicklung von Beleuchtungslösungen hin zu modernen Beleuchtungsmodulen, basierend auf organischen Leuchtdioden (IPMS) nachvollziehen. An anderen Ständen wurden in Experimenten für die Besucher Gummi oder Pflanzen per Stickstoff in 1000 Teile zerteilt (FEP), konnte mit metallische Leichtbauwerkstoffe experimentiert (IFAM), Schmuck aus schillernden Solarwafern gebastelt (IWS) und die Entwicklung vom Sand zum Computerchip nachvollzogen werden (CNT). Neben zahlreichen Ständen welche Jung und Alt die Welt der Naturwissenschaften näher brachten als auch die Forschungsbereiche der Fraunhofer Gesellschaft in Dresden präsentierten, gab es zahlreiche Vorträge der Institute welche einen genaueren Einblick in die Arbeiten und Ziele an den einzelnen Einrichtungen erlaubten.

Mit 35.000 Besuchern, 3.300 davon am Institutszentrum erfreute sich die lange Nacht der Wissenschaften auch in 2008 wieder an steigenden Besucherzahlen.

Weitere Informationen unter:

[www.wissenschaftsnacht-dresden.de](http://www.wissenschaftsnacht-dresden.de)

follow the development from light-solutions up to modern light-modules based on organic illumination diodes (IPMS). At other stands, visitors could see how elastic materials and vegetables where blast into 1000 parts by nitrogen (FEP), could do experiments with light building materials (IFAM), made necklace out of dazzling solar wafers (IFAM) and follow the development history from the sand to the computer chip (CNT). Besides numerous stands which represented the research areas of the Fraunhofer Gesellschaft in Dresden, there where a lot of speeches of several institutions which allowed advanced views into the day-life work of the Fraunhofer researches.

Also in 2008 the night of science is reviewing on rising visiting numbers. With 35.000 visitors in total and 3.300 at the Fraunhofer area it has been a successful event again.

More information you will find under:

[www.wissenschaftsnacht-dresden.de](http://www.wissenschaftsnacht-dresden.de)

## Fraunhofer CNT Kolloquien <sup>2008</sup> *Colloquium* <sub>2008</sub>

### 1. Quartal \_ 1<sup>th</sup> quarter

Prof. Dr. Gerhard Sextl  
Fraunhofer-Institut für Silicatforschung Würzburg  
" Chemische Nanotechnologien für Anwendungen in der  
Mikroelektronik "

Prof. Dr. Gianarelio Cuniberti  
Institute for Materials Science,  
Dresden University of Technology  
"Molecular Electronics - the Challenge of Si-based  
Nanoelectronics"

Prof. Dr. Tala'at Al-Kassab  
Institut für Materialphysik der Universität Göttingen  
"Nano-Structures as revealed by the Atom Probe  
Tomography"

Prof. Dr. Jürgen Janek  
Institute of Physical Chemistry,  
Justus-Liebig-University Gießen  
"Micro- and Nano-Ionics: Partners of Microelectronics?"

### 2. Quartal \_ 2<sup>th</sup> quarter

Prof. Dr. John J. Boland  
School of Chemistry and Centre for Research on Adaptive  
Nanostructures and Nanodevices (CRANN),  
Trinity College Dublin  
"Contact Dynamics on the Nanoscale - an atom  
resolved perspective"

Dr. Meiken Falke  
Institute of Physics, Chemnitz University of Technology  
"Electron Microscopy in Materials Science: from the  
Micrometer to the Angstrom Scale"

Dr. Malgorzata Kopycinska-Müller  
Fraunhofer Institute for Non-destructive Testing  
IZFP-Dresden  
"Characterization of thin-film systems by use of atomic  
force acoustic microscopy"

Dr. Joerg Grenzer  
Research Center Dresden-Rossendorf  
Institute of Ion Beam Physics and Material Research  
"Depth Resolved Strain Analysis of Lateral Nanostructures  
using X-ray diffraction techniques"

### 3. Quartal \_ 3<sup>th</sup> quarter

Cheol Seong Hwang  
School of Materials Science and Engineering,  
and Inter-university Semiconductor Research Center,  
Seoul National University, Korea  
"Dielectric and electrode thin films for stack-cell structured  
DRAM capacitors with sub 50-nm design rules"

### 4. Quartal \_ 4<sup>th</sup> quarter

Dr. Burkhard Beckhoff  
Physikalisch-Technische Bundesanstalt Berlin  
"Surface contamination analysis, nanolayer characterisa-  
tion and elemental depth profiling by reference-free X-ray  
spectrometry using synchrotron radiation"

Dr. C. Teichert  
Institute of Physics, University of Leoben  
"Scanning Probe Microscopy based characterization of  
semiconductor nanostructures"

Dr. Andreas Bund  
Lehrstuhl für Physikalische Chemie und Elektrochemie  
Dresden University of Technology  
"Electrochemical Preparation and Characterization of Mi-  
cro- and Nanostructured Materials"

## Vorträge, Poster und Publikationen <sup>2008</sup> *Lectures, posters and publications* <sub>2008</sub>

### Vorträge / Lectures

Andreas Naumann

„Novel Enhanced Stressors with graded encapsulated SiGe embedded in the source and drain areas“ / E-MRS Frühjahrskonferenz

Straßburg (Frankreich), 26.-30.05.2008

Ina Ostermay

„Investigation of the relaxation behavior of  $\text{Si}_{1-x}\text{C}_x$  alloys during epitaxial UHV-CVD growth“ / E-MRS Frühjahrskonferenz

Straßburg (Frankreich), 26.-30.05.2008

Peter Hermann

„Near-field Raman Spectroscopy utilizing scattering by noble metal particles on SiGe samples“ / DPG Frühjahrstagung

Berlin, 26.-30.05.2008

Pawel Michalowski

„ToF-SIMS Analysis of thin  $\text{Al}_{1-x}\text{Si}_x\text{O}_y$  layers“ / DPG Frühjahrstagung

Berlin, 26.-30.05.2008

Wenke Weinreich

„Correlation of Macroscopic Electrical Characteristics of High-k Si-doped  $\text{ZrO}_2$  Films Using Tunneling Atomic Force Microscopy“ / 15th Workshop on Dielectrics in Microelectronics 2008

Bad Saarow, 23.-25.06.2008

Dr. Ahmed Shariq

„Investigations of Field Evaporated End Forms in Voltage- and Laser-mode Atom Probe Tomography“ / The 51st International Field Emission Symposium

Rouen (Frankreich), 28.06 - 04.07.2008

Wenke Weinreich

„Correlation of growth and crystallization behavior of ALD  $\text{ZrO}_2$  to the underlying substrate“ / 8th International Conference on Atomic Layer Deposition

Brügge (Belgien), 29.06-02.07.2008

Jan Paul

„TaN metal gate damage during high-k ( $\text{Al}_2\text{O}_3$ ) high temperature etch“ / Micro and Nano Engineering 2008

Athen (Griechenland), 15-19.09.2008

Romy Liske

„Electrochemical Cu Deposition in sub-100-nm Interconnects - Results for a new Model“ / Advanced Metallization Conference

San Diego (USA), 23-25.09.2008

Volkhard Beyer

„Challenges of TANOS NAND string process integration“ / IMST 2008 - EU Memory Projects Workshop & Tutorials

Leuven (Belgien), 22.-30.11.2008

Dr. Ahmed Shariq

„Three-dimensional compositional & structural Characterisation of semiconducting materials with sub-nm resolution“ / ASEAN Pakistan conference on Material Science

Islambad (Pakistan), 15.-16.12.2008

Lukas Gerlich

„Investigation of ultra thin barrier films with in-situ ARXPS“ / MSE 2008

Nürnberg, 01.-04.09.2008

Marc Hauptmann

„Determination of Proximity Effect Parameters by means of CD linearity in sub 100 nm electron beam lithography“ / Micro and Nano Engineering 2008

Athen (Griechenland), 15.-19.09.2008

Dr. Lutz Wilde

„In-situ GIXRD studies on  $\text{Hf}_{(1-x)}\text{Si}_x\text{O}_2$  dielectrics“ / European Powder Diffraction Conference 11

Warschau (Polen), 19.-22.09.2008



Abb. 1 E-MRS Frühjahrstagung, Straßbourg (26.-30.05.2008)

Fig. 1 E-MRS Spring meeting, Strasbourg (26.-30.05.2008)



### Poster / Posters

Ina Ostermay

„FT-IR Analysis of supercritical  $\text{Si}_{1-x}\text{C}_x$  alloys“ / DPG Frühjahrstagung

Berlin, 26.-30.05.2008

Katja Keil

„Detailed characterization of HSQ for e-beam application in DRAM pilot line environment“ / EIPBN 2008

Portland (USA), 24.05.-01.06.2008

Thomas Oszinda

„Characterization of post-etched ultra low-k  $\text{SiOCH}$  using FTIR spectroscopy in combination with chemometric methods“ / 15th Workshop on Dielectrics in Microelectronics 2008

Bad Saarow, 23.-25.06.2008

Romy Liske

„Electrochemical Cu Deposition in sub-100-nm Interconnects - Results for a new Model“ / Advanced Metallization Conference

San Diego (USA), 23.-25.09.2008

Dr. Tadios Tesfu

„Electrochemical characterization of ultra shallow junctions“ / Electrochemistry crossing boundaries

Giessen, 06.-08.11.2008

### Publiktionen / Publications

Wenke Weinreich  
„High-k: latest developments and perspectives“  
Material Science Forum

Katja Keil  
„Determination of best focus and optimum dose for variable shaped e-beam systems by applying the isofocal dose method“  
Microelectronic Engineering

Andreas Naumann  
„Novel Enhanced Stressors with graded encapsulated SiGe embedded in the source and drain areas“  
Materials Science and Engineering B

Katja Keil  
„Detailed characterization of HSQ for e-beam application in DRAM pilot line environment“  
Journal of Vacuum Science and Technology B

Thomas Oszinda  
„Characterization of post-etched ultra low-k SiOCH using FTIR spectroscopy in combination with chemometric methods“  
Journal of Vacuum Science and Technology B

Wenke Weinreich  
„Correlation of Macroscopic Electrical Characteristics of High-k Si-doped ZrO<sub>2</sub> Films Using Tunneling Atomic Force Microscopy“  
Journal of Vacuum Science and Technology B

Wenke Weinreich  
„Tunneling atomic-force microscopy as a highly sensitive mapping tool for the characterization of film morphology in thin high-k dielectrics“  
Applied Physics Letters

Dr. Ahmed Shariq  
„Investigations of Field Evaporated End Forms in Voltage- and Laser-mode Atom Probe Tomography“  
Ultramicroscopy Journal

Marc Hauptmann  
„Determination of Proximity Effect Parameters by means of CD-linearity in sub 100nm electron beam lithography“  
Microelectronic Engineering

Jan Paul  
„Ta<sub>2</sub>N metal gate damage during high-k (Al<sub>2</sub>O<sub>3</sub>) high temperature etch“  
Microelectronic Engineering

Romy Liske  
„Electrochemical Cu Deposition in sub-100-nm Interconnects - Results for a new Model“  
MRS conference proceedings

Dr. Philipp Jaschinsky  
„Nanoscale charge transport measurements using a double-tip scanning tunneling microscope“  
Journal of Applied Physics

Dr. Joo-Hyung Kim,  
Dr. Velislava Ignatova  
„Physical and electrical characterization of high-k ZrO<sub>2</sub> metal-insulator-metal capacitor“  
Science Direct / Thin Solid Films 516

Dr. Joo-Hyung Kim,  
Dr. Velislava A Ignatova  
„Deposition temperature effect on electrical properties and interface of high-k ZrO<sub>2</sub> capacitor“  
Journal of Physics D: Applied Physics

### Diplomarbeiten / theses

Laszlo Szikszai  
„Fabrication and Characterization of 22 nm Node Structures using E-Beam Lithography“  
Fraunhofer CNT / TU Dresden (Prof. Bartha)

### Fraunhofer CNT Scientific Award

Wenke Weinreich - für den Konferenzvortrag auf dem Workshop On Dielectrics in Microelectronics (WODIM 2008) und der zugehörigen Veröffentlichung im Journal Vacuum Science and Technology B



Abb. 2  
Dr. Shariq beim Erhalt eines ASEAN Konferenzawards (15.-16.12.2008)

Fig. 2  
Dr. Shariq receiving ASEAN conference award (15.- 16.12.2008)

Abb. 3  
51st IFES Rouen (28.06 - 04.07.2008)

Fig. 3  
The 51st International Field Emission Symposium Rouen (28.06 - 04.07.2008)



## Impressum

Fraunhofer-Center  
Nanoelektronische Technologien  
Königsbrücker Str. 180  
01099 Dresden / Germany

Kontakt  
+49 (0) 351 / 2607 3001  
contact@cnt.fraunhofer.de  
www.cnt.fraunhofer.de

## Autoren

Alle Textbeiträge wurden durch die Mitarbeiter des Fraunhofer CNT, in enger Zusammenarbeit mit den Industriepartnern AMD und der Qimonda AG erstellt.

Prof. Dr. Peter Kücher, Sergej Mutas, Torben Kelwing, Romy Liske, Lukas Gerlich, Juergen Neuner, Peter Hermann, Ina Ostermay, Andreas Naumann, Dr. Lutz Wilde, Kirsten Wedderhoff, Martin Rose, Johannes Müller, Dr. Ingolf Endler (IKTS), Martin Lemberger (IISB), Cornelia Klein, Torben Hemke, Sascha Bott, Boris Vasilev, Daniel-André Löhr, Volkhard Beyer

Redaktion & Gestaltung  
Beatrice Thümmeler

## Bildnachweis

Alle Bilder sind im Rahmen der wissenschaftlichen Tätigkeiten durch die Mitarbeiter des Fraunhofer CNT entstanden.

© 2009, Fraunhofer CNT

